

BEST AVAILABLE COPY

DIALOG(R) File 351:DERWENT WPI
(c)1998 Derwent Info Ltd. All rts. reserv.

007835840

WPI Acc No: 89-100952/198914

Related WPI Acc No: 89-194245; 89-208041

XRPX Acc No: N89-077022

Non-volatile memory with NAND cell structure - receives voltages at gate and line associated with storage transistor for programming

Patent Assignee: TOSHIBA KK (TOKE)

Inventor: CHIBA M; INOUE S; ITOH Y; IWASHASHI H; IWATA Y; MASUOKA F;
MOMODOMI M; SHIROTA R; IWAHASHI H; KIRISAWA R; NAKAYAMA R; OHUCHI K;
WATANABE S

Number of Countries: 006 Number of Patents: 012

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
DE 3831538	A	19890330	DE 3831538	A	19880916		198914 B
JP 1077175	A	19890323	JP 87233944	A	19870918		198918
EP 317323	A	19890524	EP 88310878	A	19881117		198921
EP 317324	A	19890524	EP 88310879	A	19881117		198921
JP 1130570	A	19890523	JP 87288375	A	19871117		198926
JP 1132168	A	19890524	JP 87290857	A	19871118		198927
JP 1173651	A	19890710	JP 87329780	A	19871228		198933
JP 1173652	A	19890710					198933
JP 1173653	A	19890710					198933
DE 3831538	C2	19960328	DE 3831538	A	19880916	G11C-016/04	199617
US 5508957	A	19960416	US 88244854	A	19880915	G11C-016/04	199621
			US 90629029	A	19901218		
			US 92875600	A	19920428		
			US 9371928	A	19930604		
			US 94312072	A	19940926		
KR 9504865	B1	19950515	KR 8811972	A	19880916	G11C-017/00	199703

Priority Applications (No Type Date): JP 87329780 A 19871228; JP 87233944 A 19870918; JP 87288375 A 19871117; JP 87290853 A 19871118; JP 87290854 A 19871118; JP 87290855 A 19871118; JP 87290857 A 19871118; JP 87329777 A 19871228; JP 87329778 A 19871228; JP 87329779 A 19871228; JP 87329781 A 19871228; JP 87329782 A 19871228

Cited Patents: No-SR.Pub

Patent Details:

Patent	Kind	Lan	Pg	Filing	Notes	Application	Patent
DE 3831538	A		38				
EP 317323	A	E					
Designated States (Regional): DE FR GB							
EP 317324	A	E					
Designated States (Regional): DE FR GB							
DE 3831538	C2		37				
US 5508957	A		44	Cont of		US 88244854	
				Cont of		US 90629029	
				Div ex		US 92875600	
				Cont of		US 9371928	

Abstract (Basic): DE 3831538 A

Each NAND cell block (B) has a bit-line connected select transistor (Qs) and a row array of storage transistors (M1-Mn) coupled to a first node of, or branch from, the select transistor. Each cell transistor has a charge storage layer and a control gate. A voltage regulator is provided to enable storage in a selected transistor in a write mode by coupling the relevant block to the associated line, feeding a first voltage to the line and a second lower voltage to the control gate of the relevant transistor.

A switch-through voltage is applied to each control gate of cells between the selected cell and the first node. Hence the selected cell is driven out of conduction by applied voltage or is blocked so that a data unit is written into the selected transistor by tunnelling effects.

USE/ADVANTAGE - Higher density, more reliable operation

non-volatile memory architecture development for replacement of floppy disc media.

Dwg.5/27

Abstract (Equivalent): US 5508957 A

An electrically programmable semiconductor memory device comprising:

a semiconductive substrate;

a plurality of data storage transistors formed in a surface area of said substrate and including a plurality of transistors coupled to each other in series each having an insulated carrier storage layer and a control gate disposed over and insulated from said carrier storage layer;

a plurality of bit lines one of which is coupled to said plurality of transistors;

first switch means connected to said plurality of transistors at a first node thereof, for selectively coupling said plurality of transistors to the one bit line;

second switch means connected to said plurality of transistors at a second node thereof for selectively coupling said plurality of transistors to a source potential;

program means for, while sequentially programming said plurality of transistors, changing an amount of charge carriers stored in the carrier storage layer of a selected transistor of said plurality of transistors by tunnelling to cause said selected transistor to be programmed with given data, said program means causing said first switch means and said second switch means to turn on applying a first voltage to the one bit line, applying a second voltage to the control gate of the selected transistor, and applying a voltage to the control gate of each non-selected transistor to render each non-selected transistor conductive so that the first voltage is transmitted from the one bit line to said selected transistor; and

wherein said first switch means includes a first insulated gate transistor and said second switch means includes a second insulated gate transistor, said first insulated gate transistor has a greater channel length than that of said second insulated gate transistor.

Dwg.27/27

Title Terms: NON; VOLATILE; MEMORY; NAND; CELL; STRUCTURE; RECEIVE; VOLTAGE ; GATE; LINE; ASSOCIATE; STORAGE; TRANSISTOR; PROGRAM

Derwent Class: T01; U13; U14

International Patent Class (Main): G11C-016/04; G11C-017/00

International Patent Class (Additional): G11C-016/06; G11C-017/06;

H01L-027/10; H01L-029/78; H01L-029/788

File Segment: EPI

Manual Codes (EPI/S-X): T01-H01B; U13-C04B; U14-A03B7; U14-A07; U14-A08



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
11 DE 3831538 A1

51 Int. Cl. 4:
G11C 17/06

21 Aktenzeichen: P 38 31 538.6
22 Anmeldetag: 16. 9. 88
23 Offenlegungstag: 30. 3. 89

THE BRITISH LIBRARY

11 APR 1989
SCIENCE REFERENCE AND
INFORMATION SERVICE

DE 3831538 A1

30 Unionspriorität: 32 33 31
18.09.87 JP 62-233944 17.11.87 JP 62-288375
18.11.87 JP 62-290853 18.11.87 JP 62-290854
18.11.87 JP 62-290855 18.11.87 JP 62-290857
28.12.87 JP 62-329777 28.12.87 JP 62-329778
28.12.87 JP 62-329779 28.12.87 JP 62-329780

71 Anmelder:
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

74 Vertreter:
Henkel, G., Dr.phil.; Feiler, L., Dr.rer.nat.; Hänzeli, W.,
Dipl.-Ing.; Kottmann, D., Dipl.-Ing., Pat.-Anwälte,
8000 München

72 Erfinder:
Momodomi, Masaki; Masuoka, Fujio, Yokohama, JP;
Itoh, Yasuo, Kawasaki, JP; Iwahashi, Hiroshi; Iwata,
Yoshihisa, Yokohama, JP; Chiba, Masahiko, Aomori,
JP; Inoue, Satoshi, Kawasaki, JP; Shiota, Ritschiro;
Nakayama, Ryozo; Ohuchi, Kazunori; Watanabe,
Shigeyoshi; Kirisawa, Ryouhei, Yokohama, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Nichtflüchtiger Halbleiter-Speicher mit NAND-Zellenstruktur

Die Erfindung betrifft einen löschraren, programmierbaren Festwertspeicher mit NAND-Zellenstruktur, der NAND-Zellenblöcke (B11, B12, ...) umfaßt, von denen jeder einen mit der betreffenden Bitleitung (BL1) verbundenen Wähltransistor (Qs) und eine Reihenanordnung aus Speicherzellen-transistoren (M1, M2, M3, M4) aufweist. Jeder Zellentransistor weist ein freischwebendes oder floating Gate und ein Steuergate auf. An die Steuergates der Zellentransistoren (M1, M2, M3, M4) sind Wortleitungen (W11, W12, ...) angeschlossen. In einem Dateneinschreibemodus wird ein Wähltransistor (Qs) eines bestimmten, eine angewählte Zelle enthaltenden Zellenblocks (B1) durchgeschaltet, so daß dieser Zellenblock (B1) mit der betreffenden Bitleitung (BL1) verbunden ist oder wird. Unter diesen Bedingungen speichert ein Dekodierer- oder Decoderkreis (14, 16) eine gewünschte Dateneinheit in der gewählten Zelle durch Anlegung einer hochpegeligen Spannung (Hf) an die Bitleitung (BL1), einer niedrigpegeligen (Lx) Spannung an eine mit der gewählten Zelle verbundene Wortleitung. Anlegung einer hochpegeligen Spannung an eine oder mehrere Speicherzellen zwischen der gewählten Zelle und der Bitleitung (BL1) sowie Anlegung der niedrigpegeligen Spannung an eine oder mehrere Speicherzellen zwischen der gewählten Zelle und Masse.

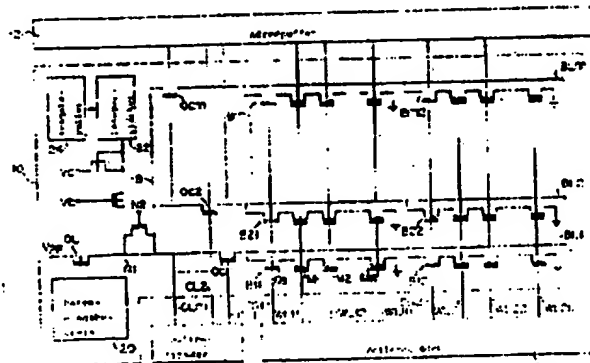


FIG. 1

DE 3831538 A1

Patentansprüche

1. Nichtflüchtige Halbleiter-Speichervorrichtung, umfassend ein Halbleiter-Substrat (32), über bzw. auf letzterem vorgesehene parallele Bitleitungen (BL) und mit letzteren verbundene NAND-Zellenblöcke (B), dadurch gekennzeichnet, daß jeder NAND-Zellenblock (B) einen an die betreffende Bitleitung angeschlossenen Wähltransistor (Q_s) und ein(e) Reihennarray bzw. -anordnung von Speicherzellentransistoren (M_1, M_2, \dots, M_n), die an einem ersten Knotenpunkt oder einer ersten Verzweigung derselben mit dem Wähltransistor verbunden sind, aufweist, jeder Zellentransistor eine Ladungsspeicherschicht (38, 38') und ein Steuergate (42) aufweist, und daß eine Spannungsregleinrichtung (16, 82, 120, 130, 140) vorgesehen ist, um in einem Dateneinschreibmodus der Vorrichtung eine Dateneinheit in einem (an)gewählten Speicherzellentransistor zu speichern, indem der Wähltransistor eines die gewählte Zelle enthaltenden Zellenblocks zum Durchschalten veranlaßt wird, um den Zellenblock mit einer spezifischen, ihm zugeordneten Bitleitung zu verbinden, eine erste Spannung an die spezifische Bitleitung, eine zweite Spannung, die niedriger ist als die erste Spannung, an ein Steuergate des gewählten Speicherzellentransistors des bestimmten Zellenblocks und eine Durchschaltspannung an jedes Steuergate einer Speicherzelle oder von Speicherzellen zwischen der gewählten Zelle und dem ersten Knotenpunkt anzulegen, wodurch der gewählte Speicherzellentransistor aufgrund der Anlegung von erster und zweiter Spannung nichtleitend gemacht oder in den Sperrzustand versetzt wird, so daß die Dateneinheit durch Durchtunneln (tunneling) in den gewählten Speicherzellentransistor eingeschrieben wird.
2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß eine Koppelkapazität zwischen der Ladungsspeicherschicht (38) und dem Substrat (32) in jedem der Zellentransistoren kleiner ist als eine Koppelkapazität zwischen der Ladungsspeicherschicht (38) und dem Steuergate (42).
3. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Spannungsregleinrichtung die zweite Spannung einer Speicherzelle oder Speicherzellen zwischen der gewählten Zelle und einem zweiten Knotenpunkt am anderen Ende des Zellenblocks aufrägt.
4. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß beim sequentiellen Wählen der im bestimmten Block (B 11) liegenden Speicherzellen zum Einschreiben von Daten in diese die Spannungsregleinrichtung sequentiell die Speicherzellentransistoren (M_1, M_2, M_3, M_4) in der Reihenfolge ihrer Anordnung, ausgehend von einer vom ersten Knotenpunkt (am weitesten) entfernten Speicherzelle (M_1), wählt und daß die (an)gewählten Speicherzellen an ihren Steuergates mit der zweiten Spannung beaufschlagt werden, während die anderen Speicherzellen gewählt werden.
5. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Durchschaltspannung höher ist als die erste Spannung.
6. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Ladungsspeicherschicht ein freischwebendes bzw. floating Gate (38) ist.
7. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß in einem Datenlöschmodus der Vorrichtung die Spannungsregleinrichtung eine hohe Spannung an die mit den Steuergates (42) aller Speicherzellentransistoren (M_1, M_2, M_3, M_4) im bestimmten Zellenblock (B 11) verbundenen Wortleitungen anlegt und damit alle Zellentransistoren gleichzeitig löscht.
8. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß der bestimmte Zellenblock einen zweiten Wähltransistor ($Q_s 2$) zwischen einem zweiten Knotenpunkt am anderen Ende des Zellenblocks und einem Massepotential aufweist.
9. Vorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß der zweite Wähltransistor ($Q_s 2$) im Dateneinschreibmodus in den Sperrzustand versetzt wird.
10. Vorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß der zweite Wähltransistor ($Q_s 2$) im Datenlöschmodus in den Sperrzustand versetzt und damit der Zellenblock elektrisch vom Massepotential getrennt wird.
11. Vorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß der zweite Wähltransistor ($Q_s 2$) eine Kanallänge (L_2) aufweist, die kleiner ist als die Kanallänge (L_1) des ersten Wähltransistors ($Q_s 1$) zur Verbindung des Zellenblocks mit der spezifischen Bitleitung.
12. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß jeder der im Zellenblock enthaltenen Speicher-Zellentransistoren je eine im Substrat (32) ausgebildete Source- und Drain-Elektrode aufweist, die aus leicht oder schwach dotierten Halbleiterschichten (50, 52, 54, 56, 58) eines dem Leitfähigkeitstyp des Substrats (32) entgegengesetzten Leitfähigkeitstyps gebildet sind und deren Fremdatomkonzentration niedriger ist als diejenige von Source- und Drain-Elektroden von Transistoren eines peripheren Schaltkreises.
13. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß jeder Zellentransistor im Zellenblock im Substrat (32) ausgebildete Source- und Drain-Diffusionsschichten eines dem Leitfähigkeitstyp des Substrats (32) entgegengesetzten Leitfähigkeitstyps und eine zwischen dem Substrat (32) und der Ladungsspeicherschicht (38') ausgebildete Gate-Isolierschicht (40) aufweist, wobei die Gate-Isolierschicht eine ungleichmäßige Dicke besitzt und teilweise bzw. stellenweise dünn (40a) ausgebildet ist.
14. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß nach dem Dateneinschreiben in eine gewählte Speicherzelle im Einschreibmodus die Spannungsregleinrichtung das Potential der spezifischen, mit dem Zellenblock verbundenen Bitleitung vorübergehend auf ein Massepotential setzt, bevor die Spannung am Steuergate bzw. an den Steuergates anderer Speicherzellen herabgesetzt wird, um damit eine andere, der gewählten Speicherzelle benachbarte Speicherzelle zu wählen.
15. Vorrichtung nach Anspruch 14, dadurch gekennzeichnet, daß die Spannungsregleinrichtung beim Umschalten der Vorrichtung vom Löschmodus auf den Einschreibmodus das Potential aller Steuergates (42) der im bestimmten Zellenblock enthaltenen Zellentransistoren vorübergehend auf das Massepotential abfallen läßt.
16. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet,

zeichnet, daß die erste Spannung eine positive Spannung und die zweite Spannung ein Massepotential sind.

17. Nichtflüchtige Halbleiter-Speichervorrichtung, umfassend ein Halbleiter-Substrat (32), über bzw. 5 auf dem Substrat angeordnete parallele Bitleitungen (BL) sowie mit den Bitleitungen verbundene NAND-Zellenblöcke (B), dadurch gekennzeichnet, daß jeder der NAND-Zellenblöcke (B) einen mit der betreffenden Bitleitung verbundenen Wähltransistor (Qs) und eine Reihenanordnung aus Speicherzellentransistoren (M1, M2, ..., Mn) aufweist, die zwischen einem ersten Knotenpunkt oder einer ersten Verzweigung und einem zweiten Knotenpunkt angeordnet und an ihrem ersten Knotenpunkt mit dem Wähltransistor verbunden ist, jeder Zellentransistor eine Ladungsspeicherschicht (38, 38') und ein Steuergate (42) aufweist und daß eine Spannungsregeleinrichtung (16, 82, 120, 130, 140) vorgesehen ist, um in einem Dateneinschreibmodus 20 der Vorrichtung eine Dateneinheit in einem gewählten Speicherzellentransistor zu speichern, und zwar durch Durchschalten des Wähltransistors eines die gewählte Zelle enthaltenden Zellenblocks zwecks Verbindung dieses Zellenblocks mit einer spezifischen, ihm zugeordneten Bitleitung, durch Anlegen einer ersten Spannung an die spezifische Bitleitung, Anlegung einer hochpegeligen ("H") Spannung an jedes Steuergate einer Speicherzelle oder von Speicherzellen zwischen der gewählten Zelle und dem ersten Knotenpunkt und Anlegen einer niedrigpegeligen ("L") Spannung an jedes Steuergate einer Speicherzelle oder von Speicherzellen, die von der gewählten Zelle zum zweiten Knotenpunkt hin angeordnet sind. 35

18. Vorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß eine Koppelkapazität zwischen der Ladungsspeicherschicht (38) und dem Substrat (32) in jedem der Zellentransistoren kleiner ist als eine Koppelkapazität zwischen der Ladungsspeicherschicht (38) und dem Steuergate (42). 40

19. Vorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß beim sequentiellen Wählen oder Anwählen der in bestimmten Zellenblock (B11) enthaltenen Speicherzellen zum Einschreiben von Daten in diese die Spannungsregeleinrichtung sequentiell die Speicherzellentransistoren (M1 bis M4) in der Reihenfolge ihrer Anordnung, ausgehend von einer Speicherzelle (M1), die vom ersten Knotenpunkt entfernt angeordnet ist, wählt und 50 daß den gewählten Speicherzellen an ihren Steuergates die niedrigpegelige Spannung aufgeprägt wird, während die anderen Speicherzellen gewählt werden.

20. Vorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß die Durchschaltspannung höher ist als die hochpegelige Spannung. 55

21. Vorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß die Ladungsspeicherschicht ein freischwebendes oder floating Gate (38) ist. 60

22. Vorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß in einem Datenlöschmodus der Vorrichtung die Spannungsregeleinrichtung eine hochpegelige Spannung an die mit den Steuergates (42) aller im bestimmten Zellenblock (B11) enthaltenen Speicherzellentransistoren (M1 bis M4) verbundenen Wortleitungen anlegt und dabei die Zellentransistoren gleichzeitig löscht. 65

23. Vorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß der bestimmte Zellenblock einen zweiten Wähltransistor (Qs2) zwischen einem zweiten Knotenpunkt am anderen Ende des Zellenblocks und einem Massepotential aufweist.

24. Vorrichtung nach Anspruch 23, dadurch gekennzeichnet, daß der zweite Wähltransistor (Qs2) im Dateneinschreibmodus in den Sperrzustand versetzt wird.

25. Vorrichtung nach Anspruch 23, dadurch gekennzeichnet, daß der zweite Wähltransistor (Qs2) im Datenlöschmodus in den Sperrzustand versetzt und damit der Zellenblock vom Massepotential elektrisch getrennt wird.

26. Vorrichtung nach Anspruch 23, dadurch gekennzeichnet, daß der zweite Wähltransistor (Qs2) eine Kanallänge (L2) aufweist, die kleiner ist als die Kanallänge (L1) des ersten Wähltransistors (Qs1) zum Verbinden des Zellenblocks mit der spezifischen Bitleitung.

27. Vorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß jeder der Zellentransistoren im Zellenblock je eine im Substrat (32) ausgebildete Source- und Drain-Elektrode aufweist, die aus leicht oder schwach dotierten Halbleiterschichten (50, 52, 54, 56, 58) eines dem Leitfähigkeitstyp des Substrats (32) entgegengesetzten Leitfähigkeitstyps gebildet sind und deren Fremdatomkonzentration niedriger ist als diejenige von Source- und Drain-Elektroden von Transistoren eines peripheren Schaltkreises.

28. Vorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß jeder der im Zellenblock enthaltenen Zellentransistoren im Substrat (32) ausgebildete und einen dem Leitfähigkeitstyp des Substrats (32) entgegengesetzten Leitfähigkeitstyp aufweisende Source- und Drain-Diffusionsschichten sowie eine zwischen dem Substrat (32) und der Ladungsspeicherschicht (38') ausgebildete Gate-Isolierschicht (40) aufweist, wobei die Gate-Isolierschicht eine derart ungleichmäßige Dicke aufweist, daß sie teilweise bzw. stellenweise dünn (40a) ist.

29. Vorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß nach dem Dateneinschreiben in eine gewählte Speicherzelle im Einschreibmodus die Spannungsregeleinrichtung das Potential der spezifischen, mit dem Zellenblock verbundenen Bitleitung vorübergehend auf ein Massepotential setzt, bevor die Spannung am Steuergate bzw. an den Steuergates anderer Speicherzellen herabgesetzt wird, um damit eine andere, der gewählten Speicherzelle benachbarte Speicherzelle zu wählen.

30. Vorrichtung nach Anspruch 29, dadurch gekennzeichnet, daß die Spannungsregeleinrichtung beim Umschalten der Vorrichtung vom Löschmodus auf den Einschreibmodus das Potential aller Steuergates (42) der im bestimmten Zellenblock enthaltenen Zellentransistoren vorübergehend auf das Massepotential abfallen läßt.

31. Vorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß die erste Spannung eine positive Spannung und die zweite Spannung ein Massepotential sind.

32. Programmierbare Festwert-Speichervorrichtung, umfassend ein Halbleiter-Substrat (32), über bzw. auf letzterem ausgebildete parallele Bitleitungen (BL), über dem Substrat (32) vorgesehene, die

Bitleitungen (BL) kreuzende parallele Wortleitungen (WL) und jeweils den Kreuzungs- bzw. Schnittpunkten der Bitleitungen (BL) und der Wortleitungen (WL) entsprechend vorgesehene, als Speicherzellen dienende Speicherzellentransistoren (M), dadurch gekennzeichnet, daß die Transistoren ein Zellenarray umfassen, das eine Reihenschaltung aus einer NAND-Zellenstruktur bildenden Zellen-
transistoren aufweist, jeder der Zellen-
transistoren eine Ladungsspeicherschicht (38) und eine Steuer-
gateschicht (42) aufweist, um das Dateneinschreiben durch Durchtunneln von Ladungen zwischen der Ladungsspeicherschicht (38) und der Substrat-
seite zuzulassen, und daß die Vorrichtung weiter
umfaßt: einen eine Gateschicht aufweisenden Feld-
effekttransistor (Qs 1), der als Wähltransistor dient,
welcher das Zellenarray an seinem einen Ende selektiv mit der betreffenden Bitleitung verbindet,
und eine Spannungsregeleinrichtung (16, 82, 120,
130, 140) zur Durchführung einer Dateneinschreib-
operation bezüglich der Speicherzellentransistoren
(M1, M2, M3, M4) im Zellenarray durch sequen-
tielles Aktivieren der Speicherzellentransistoren in
der Reihenfolge ihrer Anordnung, ausgehend von
einem spezifischen Speicherzellentransistor (M4),
der von einem Knotenpunkt oder einer Verzwei-
gung, an welchem bzw. welcher der spezifische
Transistor mit einer betreffenden Bitleitung (BL 1)
verbunden ist, entfernt angeordnet ist.

33. Vorrichtung nach Anspruch 32, dadurch gekennzeichnet, daß die Spannungsregeleinrichtung umfaßt: eine mit den Bitleitungen (BL), den Wortleitungen (WL) und der Gate-Elektrode des Wähltransistors (Qs 1) verbundene Dekodier- oder Decoderkreis-Einheit (16, 82), um dann, wenn in einem Dateneinschreibmodus eine gewünschte Zelle unter den Speicherzellen des Zellenarrays gewählt ist, die Gate-Elektrode des Wähltransistors (Qs 1) mit einer hochpegeligen ("H") Spannung zu beaufschlagen, die hoch genug ist, um den Wähltransistor (Qs 1) durchzuschalten und damit das Zellenarray mit einer spezifischen, zugeordneten Bitleitung zu verbinden, eine hochpegelige oder eine niedrigpegelige ("L") Spannung an die spezifische Bitleitung anzulegen, zuerst eine niedrigpegelige Spannung an eine mit einer spezifischen Zelle, die von der spezifischen Bitleitung in den Speicherzellen am weitesten entfernt angeordnet ist, verbundene Wortleitung anzulegen und die hochpegelige Spannung den mit den restlichen Zellen des Zellenarrays verbundenen Wortleitungen aufzuprägen, so daß die spezifische Zelle einer Dateneinschreiboperation unterworfen wird.

34. Vorrichtung nach Anspruch 33, dadurch gekennzeichnet, daß zum anschließenden Wählen einer anderen, der spezifischen Zelle benachbarten Zelle nach dem Einschreiben in die spezifische Zelle die Decoderkreiseinheit (16, 82) eine niedrigpegelige Spannung an eine andere, mit der anderen Zelle verbundene Wortleitung anlegt, während sie die mit der spezifischen Zelle verbundene Wortleitung weiterhin fortlaufend auf der niedrigpegeligen Spannung hält.

35. Vorrichtung nach Anspruch 32, gekennzeichnet durch einen eine Gateschicht aufweisenden und als zweiter Wähltransistor dienenden Feldeffekttransistor (Qs 2), welcher das Zellenarray an seinem anderen Ende elektrisch mit einem Massepotential

verbindet.

36. Vorrichtung nach Anspruch 32, dadurch gekennzeichnet, daß die Decoderkreiseinheit umfaßt: Neben- bzw. Unterdecoderkreise (120) mit Ausgängen, die jeweils mit den Steuergates der Speicherzellen des Zellenarrays verbunden sind und von denen einer auch an einen nachgeschalteten Unterdecoderkreis angeschlossen ist, wobei die Unterdecoderkreise einen Unterdecoderkreis (D1) zum zuerst erfolgenden Abnehmen von Eingangs- oder Eingabeadreßdaten für die Beziehung der gewählten Speicherzelle und einen mit der gewählten Speicherzelle verbundenen Unterdecoderkreis zum Anlegen einer Ausgangsspannung eines niedrigen Pegels ("L") an ein Steuergate der gewählten Speicherzelle aufweisen, wobei die Ausgangsspannung sequentiell zwischen anderen, an der Seite der Source-Elektrode der gewählten Speicherzelle angeordneten Speicherzellen übertragen wird.

37. Vorrichtung nach Anspruch 32, gekennzeichnet durch eine Speichereinheit (100) zum Abnehmen von Eingangs- oder Eingabedaten zu den Speicherzellen zwecks Zwischenspeicherung der Eingabedaten.

38. Vorrichtung nach Anspruch 37, dadurch gekennzeichnet, daß die Speichereinheit ein statischer Randomspeicher (100) ist.

Beschreibung

Die Erfindung bezieht sich auf nichtflüchtige (non-volatile) Halbleiter-Speicher und insbesondere auf löschbare, programmierbare Festwertspeicher einer großen Speicherkapazität.

Mit zunehmendem Bedarf nach hoher Leistung und Zuverlässigkeit von Digitalrechneranlagen ergibt sich ein Bedarf für die Entwicklung eines Halbleiter-Speichers, der eine ausreichend große Speicherkapazität besitzt, um vorhandene nichtflüchtige Speichervorrichtungen, wie magnetische Floppyplattengeräte, bei Rechneranlagen ersetzen zu können. Obgleich die derzeit verfügbaren, elektrisch löschbaren programmierbaren Halbleiter-Festwertspeicher eine hohe Zuverlässigkeit, hohe Datenauslese- und -einschreib- oder -einlesegeschwindigkeit usw. gewährleisten, ist ihre Datenspeicherkapazität nicht groß genug, um die magnetischen Floppyplatteneinheiten oder -geräte ersetzen zu können.

Bei einem herkömmlichen, elektrisch löschbaren programmierbaren Festwertspeicher (EEPROM) besteht jede Speicherzelle typischerweise aus zwei Transistoren, wobei die Dateneinlese/löschoperation willkürlich (at random) jeweils Byte für Byte durchgeführt wird. Eine derart hochdichte Integration, daß eine für den Ersatz peripherer Datenspeichervorrichtungen ausreichend große Datenspeicherkapazität erzielt wird, ist daher kaum zu erwarten.

Als nichtflüchtiger Halbleiter-Speicher einer großen Kapazität ist ein löschbarer programmierbarer Festwertspeicher mit "NAND-Typ-Zellen"-Struktur in "VLSI Symposium", R. Stewart u.a., RCA, 1984 S. 89-90, vorgeschlagen worden. Bei diesem EEPROM braucht jede Speicherzelle nur einen einzigen Transistor aufzuweisen, wobei ein einziger Kontakt zwischen einer Reihe bzw. einem Array von auf einem Substrat angeordneten, eine "NAND-Zellen"-Struktur bildenden Speicherzellen und einer entsprechenden Bitleitung vorgesehen zu sein braucht. Im Vergleich zu den bishe-

rigen EEPROMs kann daher die von den Speicherzellen auf dem oder im Substrat eingenommene Fläche unter Verbesserung der Integrationsdichte verkleinert sein.

Ein Problem bei obigem EPROM (EEPROM) ist jedoch seine geringe Betriebszuverlässigkeit. Wenn nämlich Daten in eine gewählte (angesteuerte) Zelle eingeschrieben werden, (kann) können (eine) neben der gewählten Zelle befindliche Zelle(n) in elektrisch instabile Zustände gelangen. Infolgedessen können Daten fehlerhaft oder irrtümlich in die nicht gewählte(n) Zelle(n) eingeschrieben werden. Dieses fehlerhafte Einschreiben (bzw. Einlesen) von Daten in (eine) nicht gewählte Zelle(n) hat eine erhebliche Minderung der Zuverlässigkeit des EEPROMs zur Folge, wodurch ein ernstes Problem herbeigeführt wird.

Aufgabe der Erfindung ist damit die Schaffung eines verbesserten nichtflüchtigen Halbleiter-Speichers.

Insbesondere bezweckt die Erfindung die Schaffung eines verbesserten löschbaren programmierbaren Festwertspeichers, der sich gut für Integration mit hoher Dichte bei großer Speicherkapazität eignet und eine hohe Betriebszuverlässigkeit gewährleistet.

Die obige Aufgabe wird durch die im Patentanspruch 1 gekennzeichneten Merkmale gelöst.

Gegenstand der Erfindung ist eine spezifische nichtflüchtige Halbleiter-Speichervorrichtung, umfassend ein Halbleiter-Substrat, über bzw. auf dem Substrat vorgesehene parallele Bitleitungen und mit letzteren verbundene wiedereinschreibbare (rewritable) Speicherzellen. Die Speicherzellen ihrerseits umfassen NAND-Zellenblöcke, von denen jeder (1) einen mit einer entsprechenden Bitleitung verbundenen Wahltransistor und (2) ein Reihen-Array aus Speicherzellentransistoren aufweist, die an der einen Seite mit dem Wahltransistor und an der anderen Seite mit einem Substratpotential verbunden sind. Jeder Transistor weist ein freischwebendes oder floating Gate und ein Steuergate auf. In jedem der Zellentransistoren ist die Koppelkapazität zwischen dem floating Gate und dem Substrat kleiner eingestellt als die Koppelkapazität zwischen floating Gate und Steuergate. Über bzw. auf dem Substrat sind parallele Wortleitungen vorgesehen, welche die Bitleitungen kreuzen oder schneiden und mit den Steuergates der Transistoren verbunden sind.

Ein Dekodierer- oder Decoderkreis ist mit den Bit- und den Wortleitungen verbunden und schaltet in einem Dateneinschreibmodus den Wahltransistor eines bestimmten, eine gewählte Speicherzelle enthaltenden Zellenblocks durch, um den bestimmten Zellenblock elektrisch mit einer entsprechenden Bitleitung zu verbinden, und er legt eine Spannung eines hohen Pegels ("H") an die betreffende Bitleitung, eine Spannung eines niedrigen Pegels ("L") an eine mit der gewählten Zelle des bestimmten Zellenblocks verbundene Wortleitung, eine hochpegelige ("H") Spannung an eine oder mehrere Speicherzellen des bestimmten Zellenblocks, zwischen der gewählten Zelle und der betreffenden Bitleitung, sowie eine niedrigpegelige ("L") Spannung an eine Speicherzelle oder Speicherzellen des bestimmten Zellenblocks, zwischen der gewählten Zelle und dem Substrat, an, um damit die gewünschten Daten in die gewählte Speicherzelle einzuschreiben.

Zum sequentiellen Einschreiben von Daten in die im bestimmten Zellenblock enthaltenen Speicherzellen wählt der Decoderkreis zunächst eine am weitesten von der betreffenden Bitleitung entfernte Speicherzelle und wählt sodann sequentiell die restlichen Speicherzellen in der Reihenfolge ihrer Anordnung, wobei die der Bitlei-

tung am nächsten gelegene Speicherzelle zuletzt gewählt (oder angesteuert) wird. Speicherzellen, in welche Daten eingeschrieben worden sind, wird an ihren Gates ständig eine niedrigpegelige Spannung aufgeprägt, während die anderen Speicherzellen gewählt werden. Der Decoderkreis legt in einem Datenlöschmodus eine hochpegelige Spannung an die mit den Steuergates aller im bestimmten Zellenblock enthaltener Speicherzellen verbundenen Wortleitungen an, so daß diese Zellen-transistoren gleichzeitig gelöscht werden.

Im folgenden sind bevorzugte Ausführungsformen der Erfindung anhand der Zeichnung näher erläutert. Es zeigen:

Fig. 1 ein Schaltbild des Gesamtschaltungsaufbaus eines elektrisch löschbaren, programmierbaren Festwertspeichers gemäß einer Ausführungsform der Erfindung.

Fig. 2 eine schematische Aufsicht auf einen NAND-Zellenblock mit einem Ansteuer- oder Wahltransistor und Speicherzellentransistoren, die unter Bildung der "NAND-Zellen"-Struktur in Reihe geschaltet sind.

Fig. 3 einen in vergrößertem Maßstab gehaltenen Schnitt durch den Zellenblock längs der Linie III-III in Fig. 2.

Fig. 4 einen in vergrößertem Maßstab gehaltenen Schnitt durch den Zellenblock längs der Linie IV-IV in Fig. 2.

Fig. 5 ein Äquivalentschaltbild für den Zellenblock nach Fig. 2.

Fig. 6 eine graphische Darstellung typischer Wellenformen von an den Hauptteilen des erfindungsgemäßen EPROMs im Datenlösch- und Dateneinschreibmodus erzeugten Spannungssignalen.

Fig. 7A eine schematische Darstellung eines Elektronenübertragungsmechanismus bei einer bestimmten Speicherzelle des EPROMs im Datenlöschmodus.

Fig. 7B eine schematische Darstellung eines Elektronenübertragungsmechanismus bei einer bestimmten Speicherzelle des EPROMs im Dateneinschreibmodus.

Fig. 8 eine graphische Darstellung typischer Wellenformen von an den Hauptteilen des EPROMs im Datenauslesemodus erzeugten Spannungssignalen.

Fig. 9 einen Querschnitt durch einen abgewandelten Speicherzellentransistor, der ebenfalls beim EPROM angewandt werden kann.

Fig. 10 ein Blockschaltbild des Gesamtschaltungsaufbaus eines elektrisch löschbaren, programmierbaren Festwertspeichers (EEPROMs) gemäß einer zweiten Ausführungsform der Erfindung.

Fig. 11 ein Schaltbild einer Speicherzellenmatrixausgestaltung eines im EEPROM gemäß Fig. 10 vorgesehenen Zellenbereichs oder -teils.

Fig. 12 eine graphische Darstellung typischer Wellenformen von an den Hauptteilen des EEPROMs gemäß Fig. 10 im Dateneinschreibmodus erzeugten Spannungssignalen.

Fig. 13 einen Querschnitt durch einen in der Speicherzellenmatrix nach Fig. 11 vorgesehenen, zwei Wahltransistoren aufweisenden NAND-Zellenblock.

Fig. 14 eine graphische Darstellung typischer Wellenformen von an den Hauptteilen des EPROMs gemäß der zweiten Ausführungsform im Datenlösch- und im Dateneinschreibmodus erzeugten Spannungssignalen.

Fig. 15 eine graphische Darstellung der Lös- und Einschreibekennlinien des EEPROMs.

Fig. 16 ein Schaltbild eines Teils einer Speicherzellenmatrixanordnung gemäß einer Abwandlung der zweiten Ausführungsform.

Fig. 17 eine graphische Darstellung typischer Wellen-

formen von an den Hauptteilen des abgewandelten EEPROMs im Datenlöschmodus erzeugten Spannungssignalen,

Fig. 18 ein Schaltbild des Aufbaus eines Dekodier- oder Decoderkreises, wie er vorzugsweise bei den EEPROMs gemäß der Erfindung Verwendung findet,

Fig. 19 ein Schaltbild eines Teils einer Speicherzellenmatrixanordnung eines EEPROMs gemäß einer anderen Ausführungsform der Erfindung, welche dem Decoderkreis gemäß Fig. 18 zugeordnet ist,

Fig. 20 eine graphische Darstellung typischer Wellenformen von an den Hauptteilen des Decoderkreises nach Fig. 18 und den NAND-Zellenarrays nach Fig. 19 im Dateneinschreibmodus erzeugten Spannungssignalen,

Fig. 21 ein Schaltbild einer Abwandlung des Decoderkreises nach Fig. 18,

Fig. 22 ein Schaltbild einer anderen Abwandlung des Decoderkreises nach Fig. 18,

Fig. 23 einen Querschnitt durch einen NAND-Zellenblock eines EEPROMs gemäß der Erfindung,

Fig. 24 eine graphische Darstellung typischer Wellenformen von an den Hauptteilen des EEPROMs im Datenlösch- und -einschreibmodus erzeugten Spannungssignalen,

Fig. 25 eine Teilaufsicht auf einen abgewandelten NAND-Speicherzellentransistor zur Verwendung bei den erfindungsgemäßen EEPROMs,

Fig. 26 einen Schnitt durch den Speicherzellentransistor längs der Linie XXVI-XXVI in Fig. 25 und

Fig. 27 einen Querschnitt durch eine Abwandlung des NAND-Zellenarrays gemäß Fig. 13.

Gemäß Fig. 1 umfaßt ein elektrisch löschbarer, programmierbarer Festwertspeicher gemäß einer bevorzugten Ausführungsform der Erfindung einen Zellenarrayteil 10, einen Adreßpufferteil 12, einen Spaltendecoderteil 14 und einen Zeilendecoderteil 16, die sämtlich auf einem nicht dargestellten Chip-Substrat ausgebildet sind.

Auf dem Substrat ist eine gewählte bzw. vorbestimmte Zahl von gegeneinander isolierten, parallelen Bitleitungen $BL\ 1, BL\ 2, \dots, BL\ m$ ausgebildet. (Wenn in der folgenden Beschreibung lediglich auf eine der Bitleitungen Bezug genommen wird, wird diese mit dem Symbol " BL " bezeichnet.) Jede dieser Bitleitungen ist mit einer Anzahl von Speicherzellen verbunden. Diese Speicherzellen sind in Unter-Arrays (im folgenden als "NAND-Zellenblöcke" oder einfach als "Zellenblöcke" bezeichnet) $B\ 11, B\ 12$, usw. unterteilt, die jeweils einen Ansteuer- oder Wähltransistor Q_s und eine gewählte bzw. vorbestimmte Zahl von Speicherzellen M umfassen. (Einzelne dieser Speicherzellen sind im folgenden mit " $BLij$ " bezeichnet.) Der Wähltransistor Q_s besteht aus einem Einzelgate-MOSFET. Jede der Speicherzellen ist im wesentlichen aus einem Doppelgate-MOSFET mit einem floating Gate und einem Steuergate gebildet.

Die Reihenschaltung aus den Transistoren in jedem NAND-Zellenblock Bij ist an der einen Seite mit einer entsprechenden Bitleitung verbunden und mit der anderen Seite zum Substrat an Masse gelegt. Bei der dargestellten Ausführungsform sind Speicherzellen M jedes Zellenblocks Bij aus Speicherzellentransistoren $M\ 1, M\ 2, \dots, M\ n$ gebildet, die unter Bildung der sog. "NAND-Zellen"-Struktur in Reihe geschaltet sind. In der folgenden Beschreibung ist die Zahl " n " der in jedem Zellenblock enthaltenen Speicherzellentransistoren lediglich zum Zweck der Vereinfachung der Darstellung auf vier festgelegt. In der Praxis kann die Zahl n der Speicherzel-

lentransistoren jedoch acht oder sechzehn betragen.

Auf dem Substrat sind senkrecht zu den Bitleitungen BL parallele, mit einem Zeilendecoder 16 verbundene Wortleitungen $WL\ 11, WL\ 12, \dots, WL\ 1n, WL\ 21, \dots, WL\ 2n$ vorgesehen. Wähltransistoren Q_s und Speicherzellentransistoren M sind unter Bildung einer Zellenmatrix auf die dargestellte Weise an Schnittpunkten von Bitleitungen BL und Wortleitungen WL angeordnet. Hierbei ist darauf hinzuweisen, daß eine mit dem Wähltransistor Q_s in jedem Zellenblock Bij verbundene Leitung SGi zum Zwecke der Beschreibung auch als "Gatesteuerleitung" bezeichnet werden kann.

Parallele Spaltensteuerleitungen $CL\ 1, CL\ 2, \dots, CL\ m$ verlaufen senkrecht zu den Bitleitungen $BL\ 1, BL\ 2, \dots, BL\ m$ über das Substrat. An den Schnittpunkten der Spaltenleitungen $C\ 1$ und der Bitleitungen $B\ 1$ sind MOSFETs $Q_c\ 1, Q_c\ 2, \dots, Q_c\ m$ vorgesehen. Die Drainelektroden der MOSFETs Q_c sind durch eine Leitung 18 miteinander verbunden. Diese Leitung 18 mit einem Dateneingangs- oder -eingabekreis 20, einem Leseverstärkerkreis 22, einem Ausgangs- oder Ausgabepuffer 24 sowie Transistoren, einschließlich eines Dateneingabetransistors Q_L , wie dargestellt, verbunden.

Gemäß Fig. 2 weist ein NAND-Zellenblock (beispielsweise der Block $B\ 11$) ein Kontaktloch 30 auf einem leicht dotierten P-Typ-Siliziumsubstrat 32 auf. Insbesondere verläuft dabei eine Verbindungsleitung (Aluminiumstreifen) 34 über die Reihenkombination oder -schaltung aus den Transistoren Q_s und M . Der Aluminiumstreifen 34 überlappt die Gateelektroden der Transistoren Q_s und M im Zellenblock $B\ 11$.

Gemäß den Fig. 3 und 4 ist das Transistorarray aus dem NAND-Zellenblock $B\ 11$ auf einem Substratoberflächenbereich ausgebildet, der durch eine auf einem Substrat 32 ausgebildete Vorrichtung-Trenn- und -Isolierschicht 36 umschlossen ist. Wie am besten aus Fig. 3 hervorgeht, umfaßt der eine Speicherzelle sowie andere Speicherzellen bildende MOSFET $M\ 1$ eine erste Polysiliziumschicht 38, die unter Isolierung durch eine thermisch oxidierte Isolierschicht 40 auf dem Substrat angeordnet ist, und eine zweite Polysiliziumschicht 42, die unter Isolierung durch eine Gate-Isolierschicht 44 über der Schicht 38 vorgesehen ist. Die erste Polysiliziumschicht 38 dient als freischwebendes oder floating Gate des MOSFETs $M\ 1$, während die zweite Polysiliziumschicht 42 als Steuergate des MOSFETs $M\ 1$ dient. Die Steuergateschicht 42 ist längs einer Richtung verlaufend ausgebildet, so daß sie eine Wortleitung (Wortleitung $WL\ 11$ für Speicherzelle $M\ 1$) bildet. Gemäß Fig. 4 weist der Wähltransistor Q_s eine unter Isolierung auf dem Substrat 32 angeordnete Polysiliziumschicht 46 auf, die als Steuergate des Transistors Q_s dient.

Gemäß Fig. 4 sind im Oberflächenabschnitt des Substrats 32 stark dotierte N-Typ-Diffusionsschichten 48, 50, 52, 54, 56, 58 nach einem Selbstjustierprozeß unter Heranziehung der Gateelektroden der Transistoren $Q_s, M\ 1, M\ 2, M\ 3, M\ 4$ ausgebildet. Diese N^+ -Diffusionsschichten dienen als Source- und Drainelektroden der Transistoren. Beispielsweise dienen die N^+ -Diffusionsschichten 48 und 50 als Drain bzw. Source des Wähltransistors Q_s . Ebenso stellen die N^+ -Diffusionsschichten 50 und 52 Drain bzw. Source desselben Transistors $M\ 1$ dar. Die Reihenkombination aus den zur Bildung der "NAND-Zellen"-Struktur angeordneten Transistoren entspricht dem in Fig. 5 dargestellten Äquivalentschaltkreis.

Die gesamte Oberfläche der Schichtanordnung ist mit einer CVD-Isolierschicht 60 bedeckt, in welcher, wie

dargestellt, eine durchgehende Öffnung oder Bohrung ausgebildet ist, die als Kontaktloch 30 für das Reihentransistorarray des Zellenblocks *Bij* dient. Das Kontaktloch ist auf der Sourcediffusionsschicht 48 des Wahltransistors *Qs* angeordnet. Der Aluminiumstreifen 34 verläuft auf der CVD-Isolierschicht 60 und kontaktiert die Draindiffusionsschicht 48 des Wahltransistors *Qs* durch das Kontaktloch 30 hindurch. Der Aluminiumstreifen 34 ist selektiv mit entweder einer Dateneingabeleitung oder einer Datenausgabeleitung verbunden.

Es ist darauf hinzuweisen, daß in jeder Zelle *Mi* die Koppelkapazität *Cfs* zwischen floating Gate 38 und Substrat 32 kleiner eingestellt ist als die Koppelkapazität *Cfc* zwischen floating Gate 38 und Steuergate 42. Der Musterplan der Reihenkombination aus den Transistoren im Zellenblock *B 11* ist in Übereinstimmung mit der "1 µm"-Regel gemäß Fig. 2 ausgelegt. Genauer gesagt: die Breite des floating Gates jedes Zellentransistors *Mi*, die Breite des Steuergates, die Kanalbreite, der Abstand zwischen den Gateschichten benachbarter Zellentransistoren sowie die Breite des Aluminiumstreifens 34 betragen jeweils 1 µm. Die erste Gateisolierschicht 40 (vgl. Fig. 3) ist aus einem thermischen Oxidfilm einer Dicke von z. B. 20 nm gebildet, während die zweite Gateisolierschicht 44 (vgl. Fig. 3) aus einem thermischen Oxidfilm einer Dicke von z. B. 35 nm gebildet ist. Wenn die Dielektrizitätskonstante des thermischen Oxidfilms zu "ε" vorausgesetzt wird, bestimmen sich die Koppelkapazitäten zu:

$$Cfs = \epsilon / 0,02$$

$$Cfc = 3 \epsilon / 0,035$$

Damit wird der obigen Bedingung $Cfs < Cfc$ genügt.

Die Betriebsarten des erfindungsgemäßen EPROMs sind nachstehend anhand von Fig. 6 erläutert. In Fig. 6 sind das Potential der betreffenden Bitleitung mit "*Vbit*" und das Gatepotential des Wahltransistors *Qs* mit "*Vsg*" bezeichnet. Weiterhin sind die den Wortleitungen *WL 11*, ..., *WL 14* aufgeprägten Potentiale mit *Vw 1*, *Vw 2*, *Vw 3* bzw. *Vw 4* bezeichnet.

Der EEPROM bewirkt das gleichzeitige Löschen von in allen Speicherzellen gespeicherten Daten (aufgrund dieses Merkmals wird der EEPROM gemäß der Erfindung auch als "Schnell-EEPROM" ("flash EEPROM") bezeichnet). Hierbei werden die in allen Zellentransistoren *M* in jedem Zellenblock gespeicherten Daten auf die im folgenden beschriebene Weise gleichzeitig gelöscht. Zum gleichzeitigen Löschen aller Speicherzellen, einschließlich der Zellen *M 1* bis *M 4* in Zellenblöcken *B 11*, *B 21*, ..., *Bm 1*, die mit Wortleitungen *WL 11* bis *WL 1n* verbunden sind, ist es nötig, eine logische hochpegelige ("H") Spannung (z. B. +20 V) an die Wortleitungen *WL 11* bis *WL 1n*, eine logische hochpegelige Spannung an die Spaltenleitungen *C 1* bis *Cm* und eine logische hochpegelige Spannung an einen Knotenpunkt *N 2* anzulegen.

Für die nähere Erläuterung des Mechanismus der Datenlöschung sei beispielsweise der Zellenblock *B 11* betrachtet. Derselbe Mechanismus gilt für die anderen Zellenblöcke. Im gleichzeitigen oder Simultanlöschmodus (entsprechend einem Zeitintervall zwischen *t 1* und *t 2* in Fig. 6) wird das Bitleitungspotential *Vbit* für jeden Zellenblock *B 11* auf ein niedriges Potential (0 V) gesetzt, während das Gatepotential *Vsg* des Wahltransistors *Qs* auf ein hohes Potential (20 V) gesetzt wird. Gleichzeitig werden die Wortleitungen *WL 11*, *WL 12*, *WL 13* und *WL 14* gemäß Fig. 6 mit hochpegeligen

Spannungssignalen (Pegel "H" = z. B. 20 V) beschickt. Als Ergebnis werden in jedem der Zellentransistoren *M 1* bis *M 4* Elektronen vom Substrat 32 (dessen Potential *Vs* gemäß Fig. 6 bei 0 V liegt) über die Gateisolierschicht 40 zum floating Gate 38 durchgetunnelt, wodurch der Schwellenwert positiv wird. Die Bewegung der Elektronen in jedem Zellentransistor *Mi* im Simultanlöschmodus wird im wesentlichen gleichmäßig zwischen Substrat 32 und floating Gate 38 herbeigeführt, wie dies durch die mit 70 bezeichneten Teile in einem in Fig. 7 gezeigten Modell dargestellt ist.

Im Dateneinschreib- oder -einlesemodus wird der Transistor *QL* unter der Steuerung des Dateneingabekreises 20 leitend gemacht bzw. durchgeschaltet. Um beispielsweise den Zellenblock *B 11* zu bezeichnen oder auszuwählen, prägt der Spaltendecoder 14 eine logische hochpegelige ("H") Spannung (oder eine logische niedrigpegelige ("L") Spannung) der Spaltenleitung *CL 1* und eine logische niedrigpegelige Spannung den restlichen Spaltenleitungen *CL 2* bis *CLm* auf. Dabei legt der Zeilendecoder 16 eine logische hochpegelige Spannung an die mit dem Wahltransistor *Qs* im Zellenblock *B 11* verbundene Gatesteuerleitung *SG 1* an, um den Transistor *Qs* durchzuschalten.

Das Einschreiben in die Speicherzellen *M 1* bis *M 4* im gewählten Speicherzellenblock *B 11* geschieht in der folgenden Sequenz oder Reihenfolge: Das Einschreiben erfolgt zunächst in die am weitesten vom Kontaktloch 30 im Zellenblock *B 11* entfernte Speicherzelle *M 4*; anschließend erfolgt das Einschreiben sequentiell in die Speicherzellen *M 3* und *M 2*, während in die dem Kontaktloch 30 am nächsten gelegene Speicherzelle *M 1* zuletzt eingeschrieben wird.

Im Intervall zwischen *t 1* und *t 2*, in welchem in die Speicherzelle *M 4* eingeschrieben werden soll, ist das Potential des mit der Drainelektrode des Wahltransistors *Qs* verbundenen Aluminiumstreifens 34, d. h. das Potential *Vbit* der entsprechenden Bitleitung *B 1*, auf ein hohes Potential (20 V) oder ein niedriges Potential (0 V) gesetzt, und zwar in Abhängigkeit davon, ob die einzuschreibenden digitalen Binärdaten einer "1" oder einer "0" entsprechen. Das Gatepotential *Vsg* des Wahltransistors *Qs* ist bzw. wird auf einen hohen Pegel (20 Volt) gesetzt. Das Potential *Vw 4* der mit dem Steuergate 42 der gewählten Zelle *M 4* verbundenen Wortleitung *WL 4* ist oder wird auf ein niedriges Potential (0 Volt) gesetzt, während das Potential jeder der Wortleitungen *Vw 1*, *Vw 2*, *Vw 3* auf einen hohen Potentialpegel (20 V) festgelegt ist.

Unter diesen Bedingungen wird der Wahltransistor *Qs* durchgeschaltet, so daß das Bitleitungspotential *Vbit* zur Drainschicht 56 des gewählten Speicherzellentransistors *M 4* über Kanäle des Reihens-Arrays aus den Transistoren des Zellenblocks *B 11* übertragen wird. Dem Steuergate 42 des Zellentransistors *M 4* wird eine niedrigpegelige Spannung (0 V) aufgeprägt, mit dem Ergebnis, daß er gesperrt wird und ein hohes oder starkes elektrisches Feld zwischen floating Gate 38 und Substrat 32 in der Speicherzelle *M 4* erzeugt wird. Wie erwähnt, ist die Koppelkapazität *Cfs* zwischen floating Gate 38 und Substrat 32 kleiner als die Koppelkapazität *Cfc* zwischen floating Gate 38 und Steuergate 42. Die am floating Gate des gewählten Zellentransistors *M 4* gesammelten oder aufgespeicherten Elektronen werden daher mittels des Tunneleffekts durch die Gateisolierschicht 40 zum Substrat 32 entladen. (Die Bewegung der Elektronen erfolgt hauptsächlich zwischen floating Gate 38 und stark dotierter Diffusionsschicht 56, wie dies

durch einen Pfeil 72 im Modell gemäß Fig. 7B dargestellt ist. Es ist darauf hinzuweisen, daß in Fig. 7B die an der N^+ -Diffusionsschicht 56 anliegende Spannung mit "18 V" bezeichnet ist. Dies ist deshalb der Fall, weil die Bitleitungsspannung V_{bit} einem Spannungsabfall (entsprechend) der Schwellenwertspannung des Wahltransistors Q_s unterliegt.) Als Ergebnis wird der Schwellenwert negativ. Dies bedeutet, daß bei der dargestellten Ausführungsform die Dateneinheit "1" in den Speicher M_4 eingeschrieben worden ist. Im Intervall zwischen t_2 und t_3 wird den Steuergates der nicht gewählten Zellen M_1 , M_2 und M_3 eine hohe Spannung (20 V) aufgeprägt, so daß die Entladung von Elektronen von der floating Gate-Elektrode, wie in der gewählten Zelle M_4 , unterbunden wird.

Wenn anschließend die Speicherzelle M_3 gewählt wird, d. h. im Intervall zwischen t_3 und t_4 , wird bzw. ist das Potential V_{w3} der mit dem Steuergate 42 in der Zelle M_3 verbundenen Wortleitung WL_{13} , wie bei der Zelle M_4 , gemäß Fig. 6 auf eine niedrige Spannung (0 V) gesetzt. In diesem Fall bleiben die Gatespannung V_{sg} des gewählten Transistors Q_s und die Spannungen V_{w1} und V_{w2} der Wortleitungen WL_{11} und WL_{12} auf einem hohen Pegel (20 V). Hierbei ist folgendes zu beachten: Wenn die Zelle M_3 gewählt ist, wird die mit der erwähnten Zelle M_4 , in welche Daten eingeschrieben worden sind, verbundene Wortleitung WL_{14} zur Führung eines niedrigen Spannungspegels gesteuert, um damit das Verschwinden oder Löschen von in die Zelle M_4 eingeschriebenen Daten zu vermeiden. Anschließend werden auf dieselbe Weise, wie oben beschrieben, Daten sequentiell in die Zellen M_2 und M_1 eingeschrieben. Während einer Zeitspanne, in welcher das Dateneinschreiben in die Zelle M_2 erfolgt (nämlich im Intervall zwischen t_4 und t_5), werden die Potentiale V_{w4} und V_{w3} der Wortleitungen WL_{14} und WL_{13} der Zellen M_4 bzw. M_3 , an denen das Dateneinschreiben abgeschlossen ist, auf einem niedrigen Pegel (0 V) gehalten. Während der Zeitspanne des letzten Dateneinschreibens in die Zelle M_1 (im Intervall zwischen t_5 und t_6) bleiben die Potentiale V_{w4} , V_{w3} und V_{w2} der Wortleitungen WL_{14} , WL_{13} und WL_{12} der Zellen, in welche Daten eingeschrieben worden sind, auf einem niedrigen Pegel (0 V). Wenn die Bitleitungsspannung V_{bit} gemäß Fig. 6 auf 20 V eingestellt wird, werden logische Daten entsprechend "1" in eine gewählte Zelle eingeschrieben; wenn die Bitleitungsspannung V_{bit} gleich 0 V ist, werden Daten entsprechend einer logischen "0" eingeschrieben. Infolgedessen wird ein gewünschtes Muster aus Daten entsprechend einer logischen "1" und "0" in den Speicherzellen M_1 bis M_4 gespeichert.

Gemäß Fig. 8 wird im Datenauslesemodus die Gatespannung V_{sg} des Wahltransistors Q_s auf 5 V, entsprechend einem logischen Pegel "1", gesetzt. Der mit der gewählten Zelle verbundenen Wortleitung wird eine niedrige Spannung (0 V) aufgeprägt, während an die mit den restlichen, nicht gewählten Zellen verbundenen Wortleitungen 5 V angelegt wird. Mit anderen Worten: hierbei ist oder wird nur die Zelle M_i gewählt, die mit einer Wortleitung verbunden ist, welcher 0 V aufgeprägt ist. Wenn wiederum eine niedrige Spannung (0 V) an die Steuergates der Speicherzellentransistoren M_1 , M_2 , M_3 und M_4 im Zellenblock B_{11} gemäß Fig. 8 angelegt wird, werden Daten sequentiell aus den Speicherzellen M_1 bis M_4 ausgelesen.

Wenn der Wortleitung WL_{11} eine Spannung von 0 V aufgeprägt ist und damit der betreffende Transistor M_1 gewählt ist, werden die Zellentransistoren M_2 bis M_4

durchgeschaltet, weil an den anderen Wortleitungen WL_2 , WL_3 und WL_4 5 V anliegen. Der gewählte Zellentransistor M_1 befindet sich im Sperrzustand unter der Voraussetzung, daß sein Schwellenwert positiv ist, während er sich im Durchschaltzustand befindet, wenn sein Schwellenwert negativ ist. Ob ein Strom durch den Zellenblock B_{11} mit der gewählten Zelle M_1 fließt oder nicht, wird daher eindeutig nach Maßgabe des Dateneinschreibzustands bestimmt. Wenn die Zelle M_1 gewählt ist, ermöglicht die Erfassung, ob ein Strom durch den Zellenblock B_{11} fließt oder nicht, die Diskriminierung der in der Zelle M_1 gespeicherten Daten. Das obige Prinzip für Datenauslesung gilt auch für die anderen Zellen M_2 bis M_4 .

Mit der beschriebenen Anordnung kann das gleichzeitige Löschen und das selektive Einschreiben oder Einlesen von Daten wirksam durchgeführt werden. Insbesondere ist es im Dateneinschreibemodus durch Anwendung einer solchen eindeutigen Technik der Spannungsanlegung, wie oben beschrieben, möglich, effektive Dateneinschreib-/Löschoperationen mit erhöhter Zuverlässigkeit durchzuführen. Außerdem wird im bezeichneten oder angewählten Zellenblock B_{11} in die am weitesten vom Kontaktloch 30 entfernte Speicherzelle M_4 zuerst eingeschrieben, worauf nacheinander das Einschreiben in die Speicherzellen M_3 und M_2 erfolgt, während in die dem Kontaktloch 30 am nächsten gelegene Speicherzelle M_1 zuletzt eingeschrieben wird. Aus diesem Grund kann im Laufe nachfolgender Einschreiboperationen ein Verschwinden oder Löschen der einmal in eine Zelle eingeschriebenen Daten sicher verhindert werden. Dieses Merkmal trägt ebenfalls deutlich zur verbesserten Betriebszuverlässigkeit des EEPROMs bei. Wenn beispielsweise nach dem Einschreiben einer logischen "1" in eine der Speicherzellen M_1 bis M_4 eine logische "0" in die Speicherzelle M_4 eingeschrieben wird, wird eine bestimmte, in den Zellen M_1 bis M_4 , in denen eine Dateneinheit "1" gespeichert worden ist, enthaltene Zelle zwangsweise in den Datenlöschmodus gesetzt und daher in unerwünschter Weise gelöscht. Diese unerwünschte Erscheinung kann dadurch verhindert werden, daß die Dateneinschreiboperation in der vorstehend beschriebenen; speziellen Zelleneinschreibsequenz durchgeführt wird.

Es ist darauf hinzuweisen, daß der EEPROM für die Verwendung von Speicherzellen einer Verbundstruktur (composite structure) abgewandelt werden kann, welche den Querschnittsaufbau gemäß Fig. 9 aufweist, bei welcher eine zweite Gateisolierschicht 44 für elektrische Trennung des floating Gates 38 vom Steuergate 42 einen Schichtaufbau aus einer thermischen Oxidschicht 44a, einer Siliziumnitridschicht 44b und einer thermischen Oxidschicht 44c besitzt. Die erste Gateisolierschicht 40 besitzt eine Dicke von 20 nm, während der Schichtaufbau aus den Schichten 44a, 44b und 44c jeweils (für jede Schicht) eine Dicke von 20 nm aufweist. Bei dieser Anordnung kann jede Speicherzelle M_i so ausgebildet werden, daß die Koppelkapazität C_f kleiner ist als die Koppelkapazität C_{fc} .

Gemäß Fig. 10 kennzeichnet sich ein EEPROM gemäß einer zweiten Ausführungsform der Erfindung durch die Anordnung einer zusätzlichen Datenpufferspeichereinheit, die eine die Kapazität einer Verriegelungsschaltung übersteigende Kapazität aufweist und die Verriegelungsschaltung eingegebene Daten vorübergehend zu speichern bzw. zwischenspeichern vermag, um effektiv eine Seitenmodus-Datenadressierung (page-mode data addressing) durchzuführen.

Gemäß Fig. 10 ist — im wesentlichen in derselben Weise wie bei der ersten Ausführungsform — ein Speicherzelleinteil 80 einem Zeilendecoder 82, einem Leseverstärker 84 und einem Spaltendecoder 86 zugeordnet. Gemäß Fig. 11 besteht der Speicherzelleinteil 80 aus Speicherzellen M_1, M_2, \dots , die an den Schnittpunkten von parallelen Bitleitungen BL_1, BL_2, \dots, BL_m (bei dieser Ausführungsform ist $m = 256$) und parallelen Wortleitungen WL_1, WL_2, \dots angeordnet sind. In einem Zellenblock B_i enthaltene Speicherzellentransistoren sind in Reihe geschaltet, so daß sie — wie bei der vorher beschriebenen Ausführungsform — eine "NAND-Zellen"-Struktur bilden. Das Reihen-Array oder die Reihenanzordnung aus den Zellentransistoren M_1, M_2, \dots, M_4 ist an der einen Seite über einen ersten Wähltransistor Qs_1 mit der betreffenden Bitleitung BL_1 verbunden. Der Leseverstärkerteil 84 ist mit den Bitleitungen BL zum Erfassen oder Feststellen der an diesen anliegenden Ausgangsspannungen verbunden. Die andere Seite der Reihenanzordnung aus den Zellentransistoren M_1, M_2, \dots, M_4 ist über einen zweiten Wähltransistor Qs_2 an ein Substratpotential Vs_1 angeschlossen.

Die Verriegelungsschaltung 88 ist mit dem Spaltendecoder 86 verbunden, um Eingabedaten zum Zelleinteil 80 oder Ausgabedaten vom Zelleinteil 80 zwischenspeichern. Die Verriegelungsschaltung 88 besitzt eine Verriegelungskapazität (latch capacity) entsprechend (gleich) der Zahl der Bitleitungen BL des Zelleinteils 80. Diese Verriegelungskapazität kann (auch) kleiner sein als die Bitleitungszahl. Beispielsweise kann die Kapazität der Verriegelungsschaltung 88 auf $1/4$ der Zahl der Bitleitungen verringert sein, wenn die Dateneingabeoperation zeitlich in vier Eingabeunteroperationen aufgeteilt wird. Eine Zeilenadreibuffereinheit 90 mit Adreßsignalklemmen oder -anschlüssen 91 ist an einen Zeilendecoder 82 angeschlossen, während ein Spaltenadreibecoder 92 mit Adreßsignalklemmen 93 mit dem Spaltendecoder 86 verbunden ist. Eingabedaten werden von einem Ein/Ausgabeleitungsanschluß zur Verriegelungsschaltung 88 über eine Dateneingabepuffereinheit 94 geliefert. Ausgabedaten von der Verriegelungsschaltung 88 werden zum Ein/Ausgabeleitungsanschluß über einen Ein/Ausgabe-Leseverstärker 96 und eine Datenausgabepuffereinheit 98 geliefert.

Zusätzlich ist zwischen Dateneingabepuffer 94 und Verriegelungsschaltung 88 ein statischer Randomspeicher (SRAM) 100 vorgesehen, dessen Speicherkapazität größer ist als diejenige der Verriegelungsschaltung 88. Bei der dargestellten Ausführungsform besitzt der statische Randomspeicher oder SRAM 100 eine Speicherkapazität von 256×4 Bits (das Produkt aus der Zahl der Bitleitungen BL und der Zahl der Speicherzellen M_1 bis M_4 in jedem Zellenblock B_i) bzw. 1 Kbits. Mit anderen Worten: der SRAM 100 umfaßt eine statische Speicherzellenmatrix mit Reihenanzordnungen aus statischen Speicherzellen, deren Zahl der Zahl der Stufen in einer NAND-Zelle (bei dieser Ausführungsform: vier) entspricht, wobei jede Anordnung bzw. jedes Array eine Seitenlänge entsprechend der Zahl der Bitleitungen BL aufweist.

Im folgenden ist die Datenadressieroperation des EEPROMs im Seitenmodus (page mode) anhand eines Zeitsteuerdiagramms gemäß Fig. 12 beschrieben. Gemäß Fig. 12 ist CE ein Chip-Freigabesignal, welches den EEPROM freigibt, wenn es niedrig ("L") ist. Mit OE ist ein Ausgabe-Freigabesignal bezeichnet, welches im hohen Zustand ("H") einen Einschreibmodus zuläßt. Mit WE ist ein Einschreib-Freigabesignal bezeichnet, das

von einem hohen Pegel auf einen niedrigen Pegel übergeht, um die Eingabe von Adreßdaten zuzulassen, und sodann auf einen hohen Pegel zurückgeht, um die Eingabe von Eingabedaten zu erlauben. Mit R/B ist ein Breit/Belegt-Signal bezeichnet, das während einer Einschreiboperation niedrig ("L") ist, um damit nach außen zu melden, daß sich der Speicher in einer Einschreiboperation befindet. Es sei nun angenommen, daß der SRAM 100 in der Anordnung nach Fig. 10 nicht vorgesehen ist. Durch Wiederholung eines Zyklus von "H" → "L" → "H" des Einschreib-Freigabesignals WE mit einer Häufigkeitszahl entsprechend einer Seite (bei der dargestellten Ausführungsform entsprechend der Zahl der Bitleitungen, d. h. 256) ist es möglich, Daten mit hoher Geschwindigkeit einzugeben oder einzutragen. Die einer Seite entsprechenden Daten (one-page data) werden in der mit den Bitleitungen verbundenen Verriegelungsschaltung 88 gespeichert. Die verriegelten Daten werden zu den Bitleitungen übertragen und in die durch die Adreßdaten bezeichneten Speicherzellen eingeschrieben. Der obige Vorgang ist als Seitenmodusoperation bekannt. Beispielsweise dauert das Einschreiben von 256 Bit-Daten ohne die Anwendung des Seitenmodus (oder der Paging-Technik) insgesamt 2,5 s, unter der Voraussetzung, daß Löschozeit und Einschreibzeit jeweils 10 ms bzw. $10 \text{ ms} \times 256$ betragen. Bei Anwendung des Seitenmodus ist andererseits eine Zeit von 20,2 ms nötig, d. h. eine Zeit zum Eingeben von 256-Bit-Daten: ($= 1 \mu\text{s} \times 256$) + Löschozeit (10 ms). Dies führt zu einer etwa 125-fachen Erhöhung der Dateneingabegeschwindigkeit.

Bei der Ausführungsform gemäß Fig. 10 ist zusätzlich zur Verriegelungsschaltung 88 der SRAM 100 vorgesehen. Wie erwähnt, besitzt der SRAM 100 eine Kapazität von einer Seite (256) \times Zahl der Stufen der NAND-Zellen (4), d. h. 1 Kbits. Bei Anwendung des Seitenmodus ist es möglich, Daten willkürlich oder beliebig in eine oder jede der Adressen des SRAMs 100 einzuschreiben. Dies bedeutet, daß zunächst der Zyklus "H" → "L" → "H" des Einschreib-Freigabesignals WE 256×4 Male wiederholt wird, um die 1 Kbit-Daten in den SRAM 100 einzugeben. Einer Seite entsprechende Daten von $M_{41}, M_{42}, \dots, M_{4n}$ ($n=256$) in den in den SRAM 100 eingegebenen Daten werden zunächst zur Verriegelungsschaltung 88 übertragen. Die übertragenen Daten für eine Seite werden gleichzeitig längs der Wortleitung WL_4 gemäß Fig. 11 in Übereinstimmung mit dem oben beschriebenen Operationsprinzip in 256 Speicherzellen eingeschrieben. Anschließend werden einer Seite entsprechende Daten von $M_{31}, M_{32}, \dots, M_{3n}$ vom SRAM 100 zur Verriegelungsschaltung 88 übertragen, um längs der Wortleitung WL_3 gleichzeitig in 256 Speicherzellen eingeschrieben zu werden. Auf diese Weise werden im SRAM 100 gespeicherte 1 Kbit-Daten in einer Folge in die Verriegelungsschaltung 88 eingeschrieben.

Im Seitenmodus ohne Anordnung des SRAMs 100, wie vorstehend beschrieben, sind 20,2 ms für das Einschreiben von einer Seite entsprechenden Daten und $20,2 \text{ (ms)} \times 4 = 80,4 \text{ (ms)}$ für das Einschreiben von 1 Kbits nötig. Bei der mit dem SRAM 100 einer 1-Kbit-Kapazität versehenen Ausführungsform entspricht dagegen die für das Einschreiben von 1 Kbits im Seitenmodus nötige Zeit einer Zeitspanne, die erforderlich ist, um 256 externe Dateneinheiten ($1 \mu\text{s} \times 256$) + Löschozeit (10 ms) + Einschreibzeit (10×4) = 502 ms einzugeben. (Es ist in diesem Zusammenhang zu beachten, daß die Datenlöschung nur einmal durchgeführt zu wer-

den braucht.) Dies bedeutet, daß aufgrund der Anordnung des SRAMs 100 eine Verkürzung der Einschreibzeit von etwa 62% erzielbar ist.

Wie vorstehend beschrieben, kann mit der dargestellten Ausführungsform ein höchst zuverlässiger EEPROM mittels der NAND-Struktur der Speicherzellen geschaffen werden, welche die Einschreib- und Löschoperationen auf der Grundlage des Tunnelstroms zwischen Substrat und floating Gate, wie im Fall der beschriebenen Ausführungsform, durchführen. Durch Anordnung eines Puffer-SRAMs mit einer Kapazität von mehr als einer Seite zusätzlich zu einer Verriegelungsschaltung ist es weiterhin möglich, die Dateneinschreibung im Seitenmodus zu beschleunigen.

Bei den beschriebenen Ausführungsformen sind vier Speicherzellen zur Bildung einer NAND-Zelle in Reihe geschaltet. Die Zahl der die NAND-Zelle bildenden Speicherzellen ist jedoch nicht auf vier beschränkt. Eine Vergrößerung der Zahl der Speicherzellen in einer NAND-Zelle ergibt eine höhere Geschwindigkeit beim Dateneinschreiben im Seitenmodus. Acht Speicherzellen ergeben eine Erhöhung der Dateneinschreibgeschwindigkeit um 56%. Die Anordnung eines Pufferspeichers für Ausgangs- oder Ausgabedaten ist ebenfalls zweckmäßig.

Ein anderes wesentliches Merkmal der zweiten Ausführungsform ist die Anordnung von zwei Wähltransistoren Q_1 und Q_2 in jedem Zellenblock B_i . Als typisches Beispiel veranschaulicht Fig. 13 einen Längsschnitt durch den Zellenblock B_1 . In Fig. 13 sind den Teilen der ersten Ausführungsform von Fig. 4 entsprechende Teile mit denselben Bezugsziffern wie vorher bezeichnet und daher nicht mehr im einzelnen erläutert. Zur Erleichterung der Beschreibung sind jedoch an die ersten und zweiten Wähltransistoren Q_1 bzw. Q_2 angeschlossene Verdrahtungsleitungen mit SG_1 bzw. SG_2 bezeichnet. Gemäß Fig. 13 ist der Wähltransistor Q_2 aus einer über dem Substrat 32 angeordneten und als Gateelektrode dienenden Leiterschicht 110 sowie stark dotierten, im Oberflächenabschnitt des Substrats 32 in Selbstjustierung mit der Gateelektrode 110 geformten N-Typ-Diffusionsschichten 58 und 112 gebildet. Eine N^+ -Schicht 58 ist mit dem Substratpotential (Massepotential) V_s verbunden.

Der zweite Wähltransistor Q_2 ist vorgesehen zur Verhinderung der Entstehung einer etwaigen Stromflußstrecke im NAND-Zellen-Array, auch wenn sich der Schwellenwert-Spannungspegel einer Zelle, in die Daten eingeschrieben werden oder sind, verschiebt. Wenn sich der Schwellenwert-Spannungspegel in einer solchen Zelle, in welcher Daten gespeichert sind, verschiebt, kann die Entstehung der Stromflußstrecke dadurch verhindert werden, daß der zweite Wähltransistor Q_2 zum Sperren gebracht und das NAND-Zellen-Array elektrisch von der Chip-Substratspannung getrennt wird. Gewünschtenfalls kann der zweite Wähltransistor Q_2 in Synchronismus mit dem ersten Wähltransistor Q_1 nichtleitend gemacht bzw. zum Sperren gebracht werden.

Wenn sich gemäß Fig. 14 der EEPROM im Simultanlöschmodus befindet, werden die Gateelektroden von erstem und zweitem Wähltransistor Q_1 bzw. Q_2 jeweils mit einem Gatesteuersignal eines niedrigen ("L") Pegels (0 V) beschickt. Die Wähltransistoren Q_1 und Q_2 werden daher gesperrt, so daß die Reihenanordnungen aus den Zellentransistoren M_1 bis M_4 im Zellenblock B_1 von der betreffenden Bitleitung BL_1 elektrisch getrennt sind. Mit anderen Worten: die N^+ -Diffu-

sionsschichten 48, 50, 52, 54, 56, 58 und 112 für Drain- und Source-Elektroden der NAND-Zellentransistoren M_1 bis M_4 befinden sich sämtlich in einem elektrisch freischwebenden bzw. "floatenden" Zustand, wobei die Verbindung zum Substratpotential V_s vollständig unterbunden ist. Unter diesen Bedingungen wird dieselbe Simultanlöschoperation ("Schnell-Löschung") wie bei der ersten Ausführungsform durchgeführt. Mit einer solchen Anordnung kann ein ungewolltes oder fehlerhaftes Löschen im Simultanlöschmodus aus dem im folgenden angegebenen Grund effektiv vermieden werden.

Der Schwellenwert einer Speicherzelle nach dem Löschen muß kleiner sein als eine Spannung des Pegels "1", die am Steuergate einer nicht gewählten Speicherzelle liegt, wenn Daten ausgelesen werden sollen. Andererseits sollte der Schwellenwert einer Speicherzelle nach dem Einschreiben möglichst niedrig sein, um die Lesempfindlichkeit zu verbessern. Wenn, wie im Fall der Erfindung, Drain- und Source-Elektrode einer NAND-Zelle im Löschmodus in einem "floatenden" Zustand gehalten (kept floated) werden, tritt keine Injektion von Elektronen von Drain und Source, in denen die Elektrendichte hoch ist, in das floating Gate auf. Aus diesem Grund ist die Menge der in das floating Gate injizierten Elektronen gering im Vergleich zu dem Fall, in welchem Drain und Source an Masse liegen, und die Änderung oder Abweichung des Schwellenwerts kann dabei klein sein.

Wenn sich im anschließenden Dateneinschreibmodus gemäß Fig. 14 der EEPROM im Dateneinschreibmodus befindet, wird an die Gateelektroden von erstem und zweitem Wähltransistor Q_1 bzw. Q_2 jeweils das Gatesteuersignal des hohen ("H") Pegels (23 V) angelegt. Damit werden die Wähltransistoren Q_1 und Q_2 durchgeschaltet, so daß die Reihenanordnungen der Zellentransistoren M_1 bis M_4 im Zellenblock B_1 mit der betreffenden Bitleitung BL_1 und dem Substratpotential V_s verbunden werden. Unter diesen Bedingungen wird dieselbe Einschreiboperation wie bei der ersten Ausführungsform durchgeführt.

Es ist darauf hinzuweisen, daß der hohe Pegel des an die Wähltransistoren Q_1 und Q_2 angelegten Gatesteuersignals sowie der hohe Pegel der an jede der Wortleitungen, die mit einer nicht gewählten Zelle oder nicht gewählten Zellen verbunden sind, angelegten Spannung V_w jeweils auf 23 V erhöht sind. Dieser Wert ist die Summe aus der Bitleitungsspannung V_{bit} und dem Schwellenwert der Speicherzelle M_1 unter Löschbedingungen. Im Intervall zwischen (den Zeitpunkten) t_2 und t_3 wird zunächst die Speicherzelle gewählt, indem eine Spannung des niedrigen ("L") Pegels nur an die Wortleitung WL_4 angelegt wird. Dabei wird die hochpegelige Spannung V_{bit} an die betreffende Bitleitung B_1 angelegt. Unter diesen Bedingungen wird die hochpegelige Spannung über den Wähltransistor Q_1 und die Speicherzellen M_1 bis M_3 zur Drainschicht 56 der gewählten Zelle M_4 übertragen. In der Speicherzelle M_4 wird zwischen ihrem Steuergate 42 und dem Substrat 32 ein hohes bzw. starkes elektrisches Feld erzeugt. Infolgedessen werden am floating Gate 38 der Zelle M_4 angesammelte Elektronen aufgrund des Tunneleffekts zum Substrat 32 entladen. Der Schwellenwert des Zellentransistors M_4 verschiebt sich daher auf einen negativen Pegel (z. B. -2 V). Dieser Zustand entspricht dem Einschreiben der logischen Dateneinheit "1" in die Zelle M_4 . Während dieses Intervalls bleibt in jedem der nicht gewählten Zellentransistoren M_1 bis M_3 der Löschzustand erhalten, weil kein elektrisches Feld zwi-

schen Steuergate und Substrat anliegt. Wenn bei der Dateneinschreibung in die Zelle $M4$ die niedrigpegelige Spannung V_{bit} der Bitleitung $B1$ aufgeprägt ist, können Daten unverändert bleiben, was das Einschreiben von logischen Daten "0" bedeutet. Im wesentlichen wie bei der vorher beschriebenen Ausführungsform, erfolgt diese Dateneinschreiboperation in der Reihenfolge der Speicherzellen $M4$, $M3$, $M2$ und $M1$, nämlich in der Reihenfolge des Abstands vom Kontaktloch 30 und somit von der Bitleitung $BL1$, ausgehend von der am weitesten vom Kontaktloch entfernten Zelle $M4$.

Im Datenauslesemodus wird an die Gateelektroden der ersten und zweiten Wähltransistoren $Qs1$ bzw. $Qs2$ jeweils das Gatesteuersignal des hohen ("H") Pegels (23 V) angelegt. Die Wähltransistoren $Qs1$ und $Qs2$ werden damit durchgeschaltet, so daß die Reihenanordnungen der Zellentransistoren $M1$ bis $M4$ im Zellenblock $B1$ mit der betreffenden Bitleitung $BL1$ und dem Substratpotential V_s verbunden werden. Um beispielsweise Daten aus der Speicherzelle $M3$ auszulesen, wird eine niedrigpegelige Spannung (0 V) an die mit der Speicherzelle $M3$ verbundene Wortleitung $WL3$ angelegt, während an die mit den nichtgewählten Zellen $M1$, $M2$ und $M4$ verbundenen Wortleitungen $WL1$, $WL2$ bzw. $WL4$ eine Spannung angelegt wird, die so hoch ist, daß die betreffenden Zellentransistoren durchgeschaltet werden. Durch Feststellung, ob im Zellenblock $B1$ ein Strom fließt oder nicht, wird es möglich zu bestimmen, ob die in der gewählten Zelle $M3$ gespeicherten Daten einer logischen "1" oder einer logischen "0" entsprechen.

Fig. 15 veranschaulicht die Lös- und Einschreibekennlinien des NAND-Zellenblocks Bi beim EEPROM gemäß der beschriebenen Ausführungsform, wobei die ausgezogenen Linien oder Kurven für die Meßdaten bei der Ausführungsform der Erfindung stehen, während gestrichelte Linien die Meßdaten einer vergleichbaren Vorrichtung ohne zweiten Wähltransistor $Qs2$ angeben, der im Löschmodus gesperrt wird und damit den Zellenblock Bi elektrisch vom Substratpotential V_s trennt. Die erfindungsgemäße Vorrichtung und die Vergleichsvorrichtung sind im Einschreibzustand einander gleich. Wie sich aus den graphischen Darstellungen ergibt, variiert die Löschkennlinie der Vergleichsvorrichtung, wie durch die gestrichelte Linie 114 angegeben, stark in positiver Richtung. Diese große Abweichung ist auf die Injektion von Elektronen von Source- und Drain-Elektroden der NAND-Zellenanordnung zurückzuführen. Bei der Vorrichtung gemäß der beschriebenen Ausführungsform ist dagegen die Änderung oder Abweichung der Löschkennlinie, wie durch die ausgezogene Linie 116 angegeben, in positiver Richtung klein.

Indem bei der beschriebenen Ausführungsform im Simultanlöschmodus ein bezeichneter oder angewählter Zellenblock zwangsweise elektrisch vom Substratpotential V_s getrennt und dadurch in den elektrisch "flotenden" Zustand gebracht wird, ist es möglich, die Injektion von Elektronen nur von einer invertierten Schicht der Substratoberfläche zuzulassen und die Elektroneninjektion von den Source- und Drain-Elektroden eines NAND-Zellen-Arrays zu verhindern. Auf diese Weise kann die positive Verschiebung des Zellen-Schwellenwerts weitgehend verringert werden. Da hierbei der Zellen-Schwellenwert im Zustand "0" vergleichsweise niedrig gehalten wird, kann eine Spannung, die zum Auslesezeitpunkt dem Steuergate einer nicht gewählten Zelle aufgeprägt wird, verringert werden. Damit kann effektiv das fehlerhafte oder ungewollte Löschen verhindert werden, das leicht auftreten kann, wenn die

Steuergatespannung in einer nicht gewählten Zelle für das Auslesen hoch wird. Dies bedeutet, daß die Simultanlöschoperation bei der Erfindung höchst zuverlässig ist.

Gemäß Fig. 16 kann der zweite Wähltransistor $Qs2$ so abgewandelt werden, daß er den mit Bitleitungen BL verbundenen NAND-Zellenblöcken $B1$, $B2$, ..., Bn gemeinsam zugeordnet ist. Bei einer solchen Anordnung werden im Löschmodus der Wähltransistor $Qs1$ jedes NAND-Zellenblocks Bi und der gemeinsame Wähltransistor $Qs2$ gemäß Fig. 17 gleichzeitig mit einer niedrigpegeligen Spannung (0 V) beaufschlagt und damit in den Sperrzustand versetzt. In diesem Fall werden wiederum dieselben Vorteile, wie sie oben erläutert sind, erzielt.

Eine für die Zeilendecodereinheit 16 oder 82 gut geeignete, praktisch realisierbare periphere Schaltungsanordnung 120 ist in Fig. 18 dargestellt. Dabei ist die Zahl der in jedem NAND-Zellenblock Bi enthaltenen Speicherzellen mit acht gewählt. Hierbei weist jedes NAND-Zellen-Array gemäß Fig. 19 Zellentransistoren $M1$ bis $M8$ auf.

Gemäß Fig. 18 enthält der Dekodierer- oder Decoderkreis 120 acht 1-Bit-Decoder $D1$ bis $D8$ entsprechend dem 8-Bit-NAND-Zellenblock Bi (z. B. $B1$). Die Decoder $D1$ bis $D8$ bezeichnen jeweils einen der Zellentransistoren $M1$ bis $M8$ im NAND-Zellen-Array $B1$. Jeder Decoder Di besteht aus einem drei Eingänge aufweisenden NAND-Glied $G1$, einem Inverter $I1$ und einer Reihenschaltung aus zwei Eingänge aufweisenden NOR-Gliedern $G2$ und $G3$. Der Ausgangsknotenpunkt Ni jedes Decoders Di ist mit dem Steuerglied CGi eines entsprechenden Speicherzellentransistors Mi über Inverter $I2$, $I3$ und $I4$ verbunden. Die Eingänge des drei Eingänge aufweisenden NAND-Glieds $G1$ sind zum Abnehmen von Adreßdaten $a1$, $a2$ und $a3$ geschaltet. Jede Adreßdateneinheit besitzt einen logischen Pegel "1" oder "0". Eine Kombination von logischen Pegeln "1" und "0" in den Adreßdaten veranlaßt einen der Inverter $I1$ der Decoder $D1$ bis $D8$ zur Erzeugung eines Signals des logischen Pegels "1".

In jedem Decoder Di wird das NOR-Glied $G2$ mit einem Ausgangssignal vom Inverter $I1$ und einem Einschreibsteuersignal W beschickt. Dem NOR-Glied $G3$ wird ein Ausgangssignal des NOR-Glieds $G2$ und ein Löschsteuersignal E eingespeist. Der Ausgangsknotenpunkt $N1$ des Decoders $D1$ der ersten Stufe ist mit einem Eingang des NOR-Glieds $G2$ im Decoder $D2$ der zweiten Stufe verbunden, um ein Einschreibsignal zu liefern. Ein Ausgangssignal jedes Decoders Di wird zum Steuergate CGi des entsprechenden Zellentransistors Mi über eine Kaskadenschaltung aus drei Invertern $I2$, $I3$ und $I4$ geliefert.

Zum Einschreiben in den Zellenblock Bi gemäß Fig. 19 mittels der Decoderschaltung 120 mit dem beschriebenen Aufbau werden zunächst Adreßdaten $a1$, $a2$ und $a3$ extern (von außen) an die Decoderschaltung 120 angelegt. Hierbei sei angenommen, daß — wie in Fig. 20 beispielhaft dargestellt — Adreßdaten $a1$ und $a2$ einen hohen ("H") logischen Pegel und Adreßdaten $a3$ einen niedrigen ("L") logischen Pegel aufweisen. Das Einschreibsteuersignal W geht auf einen niedrigen logischen Pegel über. Das Löschsteuersignal E geht auf einen niedrigen logischen Pegel über, bevor das Einschreibsteuersignal W seinen Pegel ändert.

Da die Adreßdateneinheit $a3$ niedrig ist, ist der Decoder $D1$ nicht gewählt, so daß ein Ausgangssignal eines hohen logischen Pegels am Ausgangsknotenpunkt $N1$ erzeugt wird. Das Ausgangssignal wird über Inverter

12, 13 und 14 zum Zellentransistor M1 geliefert, so daß dessen Steuergate CG1 auf einen hohen Pegel übergeht. Das Ausgangssignal des Decoders D1 wird dem NOR-Glied G2 des nachgeschalteten Decoders D2 aufgebracht.

Gemäß Fig. 18 wird der Decoder D2 mit Adreßdaten a1, a2 und a3 beschickt, so daß dieser Decoder nicht gewählt ist und damit an seinem Ausgang N2 ein Ausgangssignal des niedrigen Pegels liefert. Das Steuergate CG2 des Zellentransistors M2 geht daher auf den hohen Pegel über. Das Ausgangssignal des Decoders D2 wird weiterhin dem nachgeschalteten Decoder D3 eingespeist. Auf ähnliche Weise wird der Decoder Di mit dem Ausgangssignal des vorgeschalteten Decoders Di-1 und seinen eigenen Eingabeadressdaten beschickt. Alle Decoder erzeugen ein Ausgangssignal eines niedrigen logischen Pegels, bis eine gewählte Speicheradresse erreicht ist.

Beim obigen Beispiel wird der Decoder D5 mit Adreßdaten a1, a2 und a3 beschickt, deren Pegel jeweils hoch sind (Pegel "H"), und der Decoder D5 wird (dadurch) in den gewählten Zustand gesetzt. Da zu diesem Zeitpunkt das Potential des Ausgangsknotenpunkts N4 des vorgeschalteten Decoders D4 niedrig ist (Pegel "L"), besitzt das Potential des Ausgangsknotenpunkts N5 des Decoders D5 den hohen Pegel. Obgleich dabei der Decoder D6 nicht gewählt ist, liegt an seinem Ausgangsknotenpunkt N1 ein hohes Potential an, weil ein hochpegeliges Ausgangssignal des vorgeschalteten Decoders D5 dem NOR-Glied G2 des Decoders D6 als Einschreibesteuersignal eingespeist wird. Das gleiche gilt für die Ausgangsknotenpunkte N7 und N8 der nachgeschalteten Decoder D7 und D8.

Auf diese Weise werden gemäß Fig. 20 die Steuergates CG1 bis CG4 der Speicherzellen M1 bis M4 an der Seite der Drain-Elektrode der gewählten Speicherzelle M5 sämtlich mit dem hochpegeligen Signal beschickt, während das Steuergate CG5 der Speicherzelle M5 und die Steuergates CG6 bis CG8 der Speicherzellen an der Seite der Source-Elektrode der gewählten Zelle M5 sämtlich mit dem niedrigpegeligen Signal beschickt werden. Wenn der Bitleitung BL ein hochpegeliges Signal zugespeist wird, leiten die Kanäle der Speicherzellen M1 bis M4, wobei ein hohes bzw. starkes elektrisches Feld zwischen das Steuergate und das Substrat jeder der Speicherzellen M1 bis M4 angelegt wird. Infolgedessen werden am floating Gate angesammelte oder aufgespeicherte Elektronen mittels des Tunneleffekts zum Substrat entleert, wobei eine Dateneinheit "1" in die Speicherzellen M1 bis M4 eingeschrieben wird. In den an der Seite der Source-Elektrode der gewählten Speicherzelle M5 befindlichen Speicherzellen M6 bis M8 liegt kein elektrisches Feld zwischen Steuergate und Substrat an, mit dem Ergebnis, daß die bereits eingeschriebenen Daten in keinem Fall vernichtet werden.

Wenn bei der Decoderschaltung 120 gemäß Fig. 18 das Löschesignalethoch wird, gehen die Ausgangsknotenpunkte N1 bis N8 der Decoder D1 bis D8 auf den niedrigen Pegel über, so daß den Steuergates CG1 bis CG8 der Speicherzellen M1 bis M8 der hohe Pegel "H" (bzw. das hochpegelige Signal) zugespeist wird. Wenn unter diesen Bedingungen die Bitleitung BL 1 in den niedrigpegeligen Zustand gebracht wird, werden Elektronen aus dem Substrat in das floating Gate in jeder der Speicherzellen M1 bis M8 injiziert, so daß eine Gesamtlöschung stattfindet.

Die Dekodierer- bzw. Decoderschaltung 120 kann auf die in Fig. 21 gezeigte Weise abgewandelt werden. Die

abgewandelte Decoderschaltung 130 ist so ausgelegt, daß sie einen Vergleich zwischen Bezugsadressensignalen v0, v1, v2, v3 und Eingangs- oder Eingabeadressdaten a1, a2, a3 anstellt und nach Maßgabe des Versuchsergebnisses eine hochpegelige Spannung an ein Steuergate oder Steuergates einer Speicherzelle bzw. von Speicherzellen an der Drain-Elektrode des gewählten Speicherzellentransistors Mi und eine niedrigpegelige Spannung an ein Steuergate des gewählten Speicherzellentransistors Mi sowie an ein Steuergate oder an Steuergates einer Speicherzelle oder von Speicherzellen an der Source-Elektroden-seite des gewählten Speicherzellentransistors Mi anlegt. Bei diesem Beispiel wird für den Vergleich zwischen den einzelnen Eingabeadressen a1, a2, a3 und einer entsprechenden Bezugsadresse v1, v2, v3 eine Subtraktion angewandt. Die Subtraktion der Binärziffern erfolgt durch Addition des "Zweierkomplements" eines Minuenden. Dementsprechend wird die Bezugsadresse v0, v1, v2, v3 im "Zweierkomplement" auf die in der folgenden Tabelle angegebene Weise gebildet:

	v0	v1	v2	v3
CG1	0	0	0	0
CG2	1	1	1	1
CG3	1	1	1	0
CG4	1	1	0	1
CG5	1	1	0	0
CG6	1	0	1	1
CG7	1	0	1	0
CG8	1	0	0	1

Die so gebildete Zweierkomplement-Bezugsadresse wird für Addition zu den Eingabeadressdaten benutzt.

Es ist zu beachten, daß nur eine Größenbeziehung zwischen der Bezugsadresse und der Eingangs- oder Eingabeadresse von Bedeutung ist und dem Rechenergebnis selbst keinerlei Bedeutung zugemessen zu werden braucht. Aufmerksamkeit ist daher einem Übertragerzeugungsteil eines Addierkreises zu widmen. Das niedrigstwertige Bit a1 der Eingabeadresse und das niedrigstwertige Bit v3 der Decoderadresse werden einem Übertragerzeugungsteil (carry generating section) eines Halbaddierers eingespeist. Das Ausgangssignal des Halbaddierers, das nächst höherwertige Bit a2 der Eingabeadresse und das nächst höherwertige Bit v2 werden einem Übertragerzeugungsteil des Volladdierers eingespeist. Auf ähnliche Weise wird ein Übertragerzeugungsteil eines Volladdierers zur Bestimmung des Pegels der Steuergates CG1 bis CG8 benutzt.

Es sei angenommen, daß in die Speicherzellen M5 wie bei der vorher beschriebenen Ausführungsform eingeschrieben werden soll. Dabei entspricht die Eingangs- oder Eingabeadresse a1 = "H", a2 = "H", a3 = "L". Dies wird als dreistellige Binärziffer "001" für Addition zur Decoderadresse v1, v2, v3 betrachtet. Als Additionsergebnis wird eine hochpegelige ("H") Spannung an die Steuergates CG1 bis CG4 angelegt, während den Steuergates CG5 bis CG8 eine niedrigpegelige ("L") Spannung aufgebracht wird. Zudem wird v0 benutzt, um festzustellen, ob ein von der Berechnung bis zum höchstwertigen Bit resultierender Übertrag positiv oder negativ ist.

Fig. 22 veranschaulicht den Aufbau einer Decoderschaltung 140 gemäß einer weiteren Ausführungsform.

Die Eingangs- oder Eingabeadresse (a_1, a_2, a_3) kann acht Kombinationen liefern oder darstellen: (0, 0, 0); (0, 0, 1); (0, 1, 0); (0, 1, 1); (1, 0, 0); (1, 0, 1); (1, 1, 0); und (1, 1, 1). Die Decoder-Gateschaltung ist ausgelegt zum vorhergehenden und festen Bestimmen, daß der hohe Pegel ("H") bis zur betreffenden Einheit CG 1 bis CG 8 für jede der Kombinationen der Eingabeadresse angelegt werden soll. Mit W ist ein Einschreibsteuersignal, mit E ein Löschrsteuersignal bezeichnet. Für das Einschreiben gilt W = "H" und E = "H". Wenn unter diesen Bedingungen (a_1, a_2, a_3) = (0, 0, 0) gilt, so gilt CG 1 bis CG 8 = "H" und CG 8 = "L", so daß (damit) die Speicherzelle M 8 gewählt ist. Im Fall von (0, 0, 1) gilt CG 1 bis CG 6 = "H" und CG 7, CG 8 = "L", so daß die Speicherzelle M 7 gewählt ist. Im Fall von (0, 1, 0) gilt CG 1 bis CG 5 = "H" und CG 6 bis CG 8 = "L", so daß (auf diese Weise) die Speicherzelle M 6 gewählt ist. Für (0, 1, 1) gilt CG 1 bis CG 4 = "H" und CG 5 bis CG 8 = "L", so daß die Speicherzelle M 5 gewählt ist. Im Fall von (1, 0, 0) gilt CG 1 bis CG 3 = "H" und CG 4 bis CG 8 = "L", so daß (damit) die Speicherzelle M 4 gewählt ist. Für (1, 0, 1) gilt CG 1 bis CG 2 = "H" und CG 3 bis CG 8 = "L", so daß die Speicherzelle M 3 gewählt ist. Für (1, 1, 0) gilt CG 1 = "H" und CG 2 bis CG 8 = "L", so daß die Speicherzelle M 2 gewählt ist. Im Fall von (1, 1, 1) gilt schließlich CG 1 bis CG 8 = "L", so daß die Speicherzelle M 1 gewählt ist.

Fig. 23 ist ein Längsschnitt durch einen NAND-Zellenblock eines EEPROMs gemäß einer dritten Ausführungsform. Dabei sind den Teilen von Fig. 4 entsprechende Teile mit denselben Bezugsziffern wie vorher bezeichnet und nicht mehr im einzelnen erläutert.

Gemäß Fig. 23 sind N-Typ-Diffusionsschichten 150, 152, 154, 156, 158, 160 im Oberflächenbereich, von einer Vorrichtung-Trenn- und Isolierschicht 36 umschlossen, über bzw. auf dem Substrat 32 ausgebildet. Wie bei den vorher beschriebenen Ausführungsformen, dienen diese Diffusionsschichten als Source- und Drain-Elektroden benachbarter Zellentransistoren M_i und M_{i+1} . In der N-Schicht 150, die über das Kontaktloch 30 mit dem Aluminiumstreifen 34 verbunden ist, ist eine stark dotierte N-Typ-Diffusionsschicht 162 ausgebildet, wodurch der ohmsche Kontaktwiderstand herabgesetzt wird. Die als Source- und Drain-Elektroden von NAND-Zellentransistoren M 1 bis M 4 dienenden Diffusionsschichten 150, 152, 154, 156, 158 und 160 besitzen eine niedrigere Fremdstoff- bzw. Fremdatomkonzentration als die Source- und Drain-Diffusionsschichten von die peripheren Schaltkreise bildenden Transistoren.

Im folgenden ist ein Verfahren zur Herstellung des NAND-Zellentransistor-Arrays beschrieben. Zur Bildung einer ersten Gate-Isolierschicht wird eine thermische Oxidschicht 40 einer Dicke von 5–20 nm auf das Substrat 32 aufgebracht. Auf der Gate-Isolierschicht 40 werden Polysiliziumschichten 38 einer Dicke von 200–400 nm ausgebildet, die als freischwebende bzw. floating Gates von Zellentransistoren M 1 bis M 4 dienen. Als zweite Gate-Isolierschicht wird eine thermische Oxidschicht 44 bis zu einer Dicke von 15–40 nm über den bzw. auf die Schichten 38 aufgebracht. Über der zweiten Gate-Isolierschicht 44 werden 200–400 nm dicke Polysiliziumschichten 42 erzeugt, die als Steuergates eines Wähltransistors Q_1 und von Zellentransistoren M 1 bis M 4 dienen. Die Steuergateschichten 42 der Zellentransistoren M 1 bis M 4 bilden parallele Wortleitungen W 1.

Es ist zu beachten, daß die Steuergateschicht 42 nach dem Ätzung-Musterbildungsprozeß an der floating Ga-

te-Schicht 38 jedes Speicherzellentransistors M_i in NAND-Zellen, die einander in Richtung der Kanalbreite benachbart sind, erzeugt wird und daß die floating Gate-Schicht 38 und die Steuergateschicht 42 jedes Zellentransistors M_i unter Verwendung derselben Ätzmaske gleichzeitig in bezug auf die Richtung ihres Kanals gemustert werden. Infolgedessen werden in jedem Transistor M_i das floating Gate und das Steuergate mit Selbstjustierung aufeinander ausgerichtet. Source- und Drain-Diffusionsschichten 150, 152, 154, 156, 158, 160 werden ausgebildet durch Implantieren bzw. Injizieren von N-Typ-Fremdatomen (z. B. Phosphor) in das Substrat 32 bei einer Beschleunigungsspannung von 40 kV und mit einer Dosis von $7 \times 10^{14}/\text{cm}^2$ unter Verwendung der Gateschichten als Maske. Der Spitzenwert der Fremdatomkonzentration in diesen Diffusionsschichten wird auf unter $10^{12}/\text{cm}^3$ eingestellt. Diese Diffusionsschichten werden in einem Prozeß erzeugt, der von einem Herstellungsprozeß für Source- und Drain-Schichten der Transistoren in den peripheren Schaltkreisen des EEPROMs getrennt ist. In jedem Zellentransistor M 1 bis M 4 der so hergestellten NAND-Zelle überlappen die Source- und Drain-Diffusionsschichten (z. B. die Schichten 152 und 154 im Zellentransistor M 1) die floating Gate-Schicht 38 über eine Strecke d. Diese Strecke d beträgt weniger als 0,5 μm .

Ein das Kontaktloch 30 kontaktierender Oberflächenbereich der Diffusionsschicht 150 wird durch Ionenimplantation mit z. B. Arsen dotiert, um darin eine N^+ -Schicht 162 zu erzeugen. Hierbei werden für die Ionenimplantation eine Beschleunigungsspannung von 100 kV und eine Dosis von $5 \times 10^{15}/\text{cm}^2$ angewandt. Ein thermischer Prozeß zum Aktivieren der Fremdatome nach der Ionenimplantation wird etwa 30 Minuten lang bei 950°C in einer gasförmigen N_2 -Atmosphäre durchgeführt.

Da bei der beschriebenen Ausführungsform die Source- und Drain-Elektroden der ein NAND-Zellen-Array bildenden Transistoren aus leicht bzw. niedrig dotierten Diffusionsschichten gebildet sind, kann das Auftreten eines Übergangsdurchbruchs auch dann minimiert werden, wenn die Drain-Schichten im Einschreibmodus des EEPROMs mit einer hohen Rückwärts- oder Sperrspannung beschickt werden. Weiterhin kann in jedem Zellentransistor die Aushaltspannung zwischen floating Gate 38 und den entsprechenden Diffusionsschichten erhöht werden, wodurch der Dateneinschreibspielraum verbessert wird. Wenn zudem die Fremdatomkonzentration im Siliziumsubstrat 32 mit abnehmender Fremdatomkonzentration in den Source- und Drain-Diffusionsschichten vergrößert wird, ist das NAND-Zellen-Array vor dem ungünstigen Einfluß von parasitären Feldeffekttransistoren geschützt.

Bei den beschriebenen Ausführungsformen kann das Steuerspannungs-Anlegungsschema im Einschreibmodus auf die in Fig. 24 gezeigte Weise abgewandelt werden, wobei in dieser Figur mit SG eine Gatespannung zum Wähltransistor, mit CG eine Steuergatespannung zum NAND-Zellentransistor M_i (dessen einfaches Beispiel in Fig. 4 gezeigt ist) und mit BL ein Potential an einer entsprechenden Bitleitung bezeichnet sind.

Um gemäß Fig. 24 im Dateneinschreibmodus zuerst in die Speicherzelle M 4 einzuschreiben, werden die Spannung (Wahl-Gatespannung) am Gate SG des Wähltransistors SG und die Spannungen (Wortleitungsspannungen) an den Steuergates CG 1 bis CG 4 der Zellentransistoren M 1 bis M 4 vorübergehend auf Massepotential (0 V) gesetzt. Die Steuergatespannung

(CG4) des gewählten Zellentransistors $M4$ bleibt auf dem Massepotential festgelegt, während die Steuergatespannungen (CG 1 bis CG 3) der anderen Zellentransistoren $M1$ bis $M3$ auf einen hohen ("H") Pegel (23 V) geändert werden. Infolgedessen können Daten in die Speicherzelle $M4$ eingeschrieben werden.

Nach dem Einschreiben in die Speicherzelle $M4$ wird die Spannung an der betreffenden Bitleitung zwangsweise auf einen logischen Pegel "0" herabgesetzt, bevor die Steuergatespannung (CG 3) auf Massepotential abfällt, um die nächste Speicherzelle $M3$ zu wählen. Diese Zeitdifferenz ist in Fig. 24 mit "t" bezeichnet. Die Spannung am Wahlgate SG wird nach der Änderung der Steuergatespannung (CG 3) ebenfalls von einem hohen Pegel (23 V) auf einen niedrigen Pegel (0 V) geändert. Ebenso wird nach dem Einschreiben in die Speicherzelle $M3$ die Spannung an der betreffenden Bitleitung BL zwangsweise auf einen logischen Pegel "0" verringert, bevor die Steuergatespannung (CG 2) auf das Massepotential abfällt, um die nächste Speicherzelle $M2$ zu wählen. Nach dem Einschreiben in die Speicherzelle $M2$ wird die an der betreffenden Bitleitung BL liegende Spannung zwangsweise auf einen logischen Pegel "0" verringert, bevor die Steuergatespannung (CG 1) auf Massepotential abfällt, um die letzte Speicherzelle $M1$ zu wählen.

Mittels dieser Anordnung kann im Intervall t vor dem Wählen der Speicherzelle M_i ein Knotenpunkt bzw. eine Verzweigung zwischen dem gewählten Zellentransistor M_i und dem benachbarten Zellentransistor M_{i+1} auf ein niedriges Potential gesetzt werden. Damit kann eine Änderung oder Abweichung des Schwellenwerts der Speicherzellen unterdrückt werden, wodurch die Stabilität und Zuverlässigkeit des Betriebs für das Einschreiben von Daten in jede Speicherzelle M_i verbessert werden.

Jeder NAND-Zellentransistor M_i bei den beschriebenen Ausführungsformen kann so abgewandelt werden, daß er einen Querschnittsaufbau gemäß den Fig. 24 und 25 bzw. 26 und 27 aufweist, die eine typische Speicherzelle $M1$ veranschaulichen. In diesen Figuren sind den Teilen von Fig. 4 oder Fig. 23 entsprechende Teile mit denselben Bezugsziffern wie vorher bezeichnet und daher nicht mehr im einzelnen erläutert.

Bei dieser Abwandlung weist die floating Gate-Schicht 38' an ihrer Bodenfläche oder Unterseite einen Vorsprung 150 auf, mit dem Ergebnis, daß die zwischen Substrat 32 und floating Gate 38' eingefügte erste Gate-Isolierschicht 40 gemäß Fig. 26 teilweise verdünnt ist. N^+ -Drain- und -Source-Diffusionsschichten 152 und 154 des Zellentransistors $M1$ sind jeweils im Substrat 32 so erweitert ausgebildet, daß sie die floating Gate-Schicht 38' überlappen. Die N^+ -Diffusionsschicht 152 erstreckt sich unter den Vorsprung 150 der floating Gate-Schicht 38' bzw. unter den verdünnten Abschnitt 40a der ersten Gate-Isolierschicht 40. Bei dieser Anordnung ist das interne elektrische Feld in der Gate-Isolierschicht 40 im Bereich 40a am höchsten. Im Löscho- oder Einschreibmodus erfolgt daher die Bewegung von Ladungsträgern zwischen floating Gate 38' und Drain 152 nur durch den dünnlagigen Abschnitt 40a der Gate-Isolierschicht 40. Auch wenn dabei die Steuergatespannung V_{cg1} oder die Wortleitungsspannung V_{w1} nicht sehr hoch eingestellt ist, kann demzufolge die Bewegung der Ladungsträger zwischen floating Gate 38' und Drain 152 effektiv unterstützt werden. Hierdurch werden verbesserte Löscho/Einschreib-Eigenschaften des EEPROMs und erhöhte Einschreibgeschwindigkeit gewährleistet.

währleistet.

Obgleich vorstehend spezifische Ausführungsformen der Erfindung beschrieben sind, sind dem Fachmann ersichtlicherweise verschiedene Änderungen und Abwandlungen möglich.

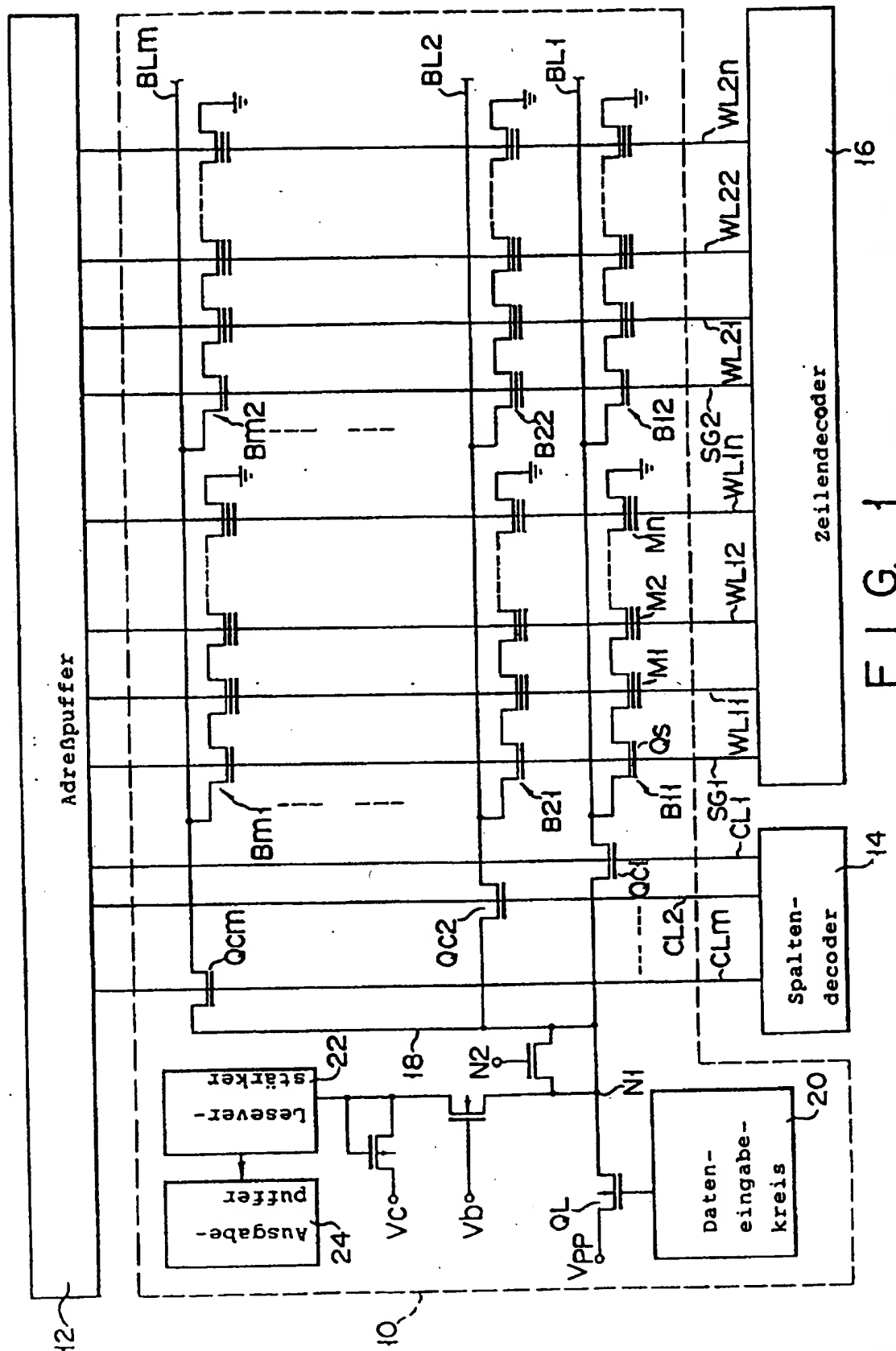
Beispielsweise können im NAND-Zellenblock B_i mit den ersten und zweiten Wähltransistoren $Qs1$ bzw. $Qs2$ die Kanallänge $L2$ des zweiten Wähltransistors $Qs2$ für die selektive Verbindung des NAND-Zellen-Arrays mit Massepotential V_s kleiner ausgelegt werden als die Kanallänge $L1$ des ersten Wähltransistors $Qs1$ für die selektive Verbindung des Transistor-Arrays mit einer entsprechenden Bitleitung BL_i , wie dies in Fig. 27 deutlich (in übertriebenem Maßstab) dargestellt ist. Mit einer solchen Anordnung wird eine Verbesserung des Durchgriffs des EEPROMs erzielt.

Bei den vorstehend beschriebenen Ausführungsformen sind Speicherzellen mit jeweils dem floating Gate vorgesehen. Bei erfindungsgemäßen EEPROMs können jedoch auch Speicherzellen mit der MNOS-Struktur verwendet werden, in welcher ein Siliziumnitridfilm (thim) und ein Siliziumoxidfilm zur Bildung einer Ladungsspeicherschicht vorgesehen sind.

3831538

Nummer:
Int. Cl.⁴:
Anmeldetag:
Offenlegungstag:

38 31 538
G 11 C 17/08
16. September 1988
30. März 1989



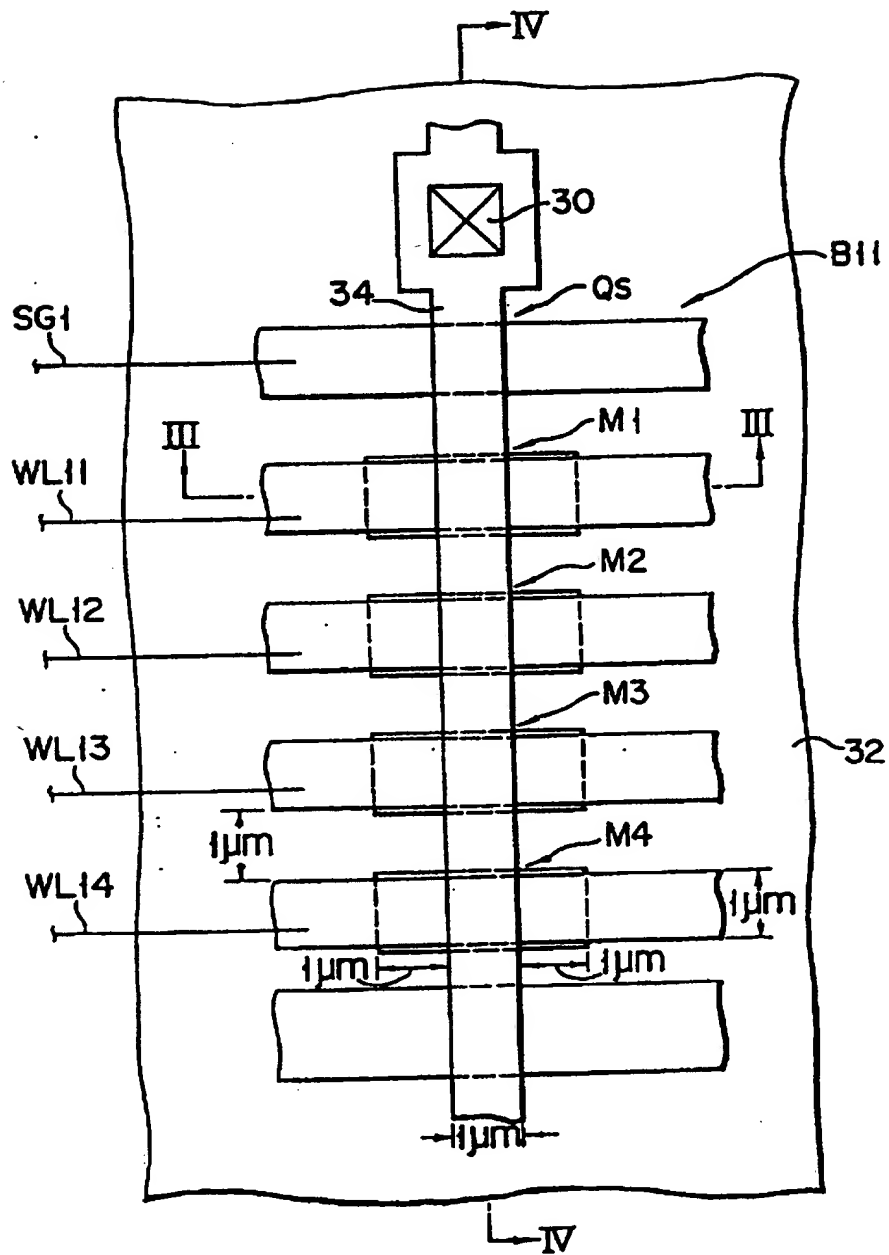


FIG. 2

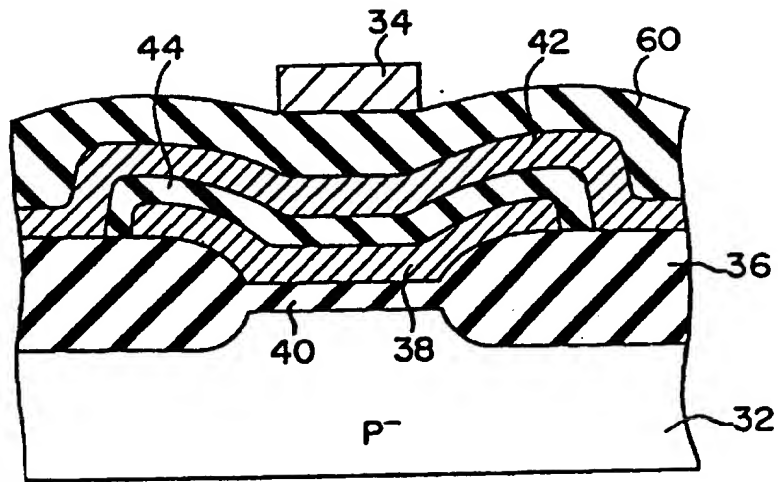


FIG. 3

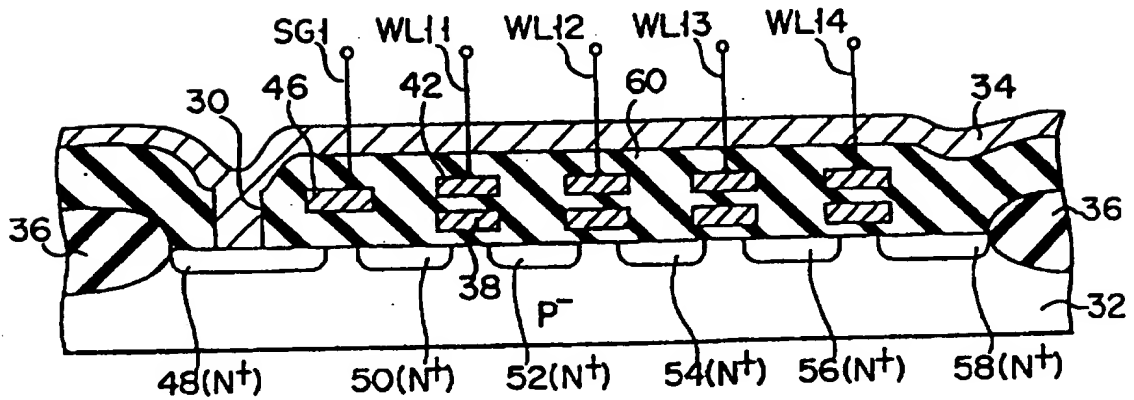


FIG. 4

3831538

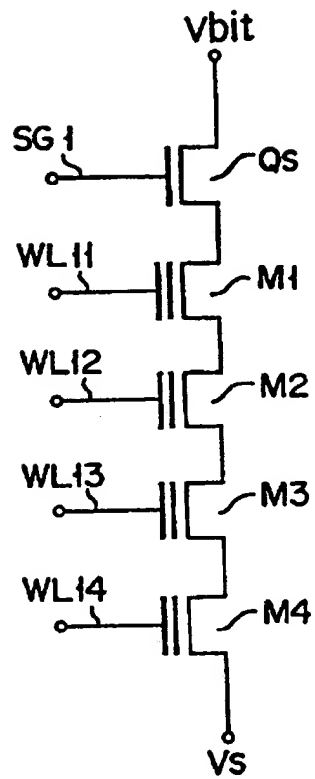


FIG. 5

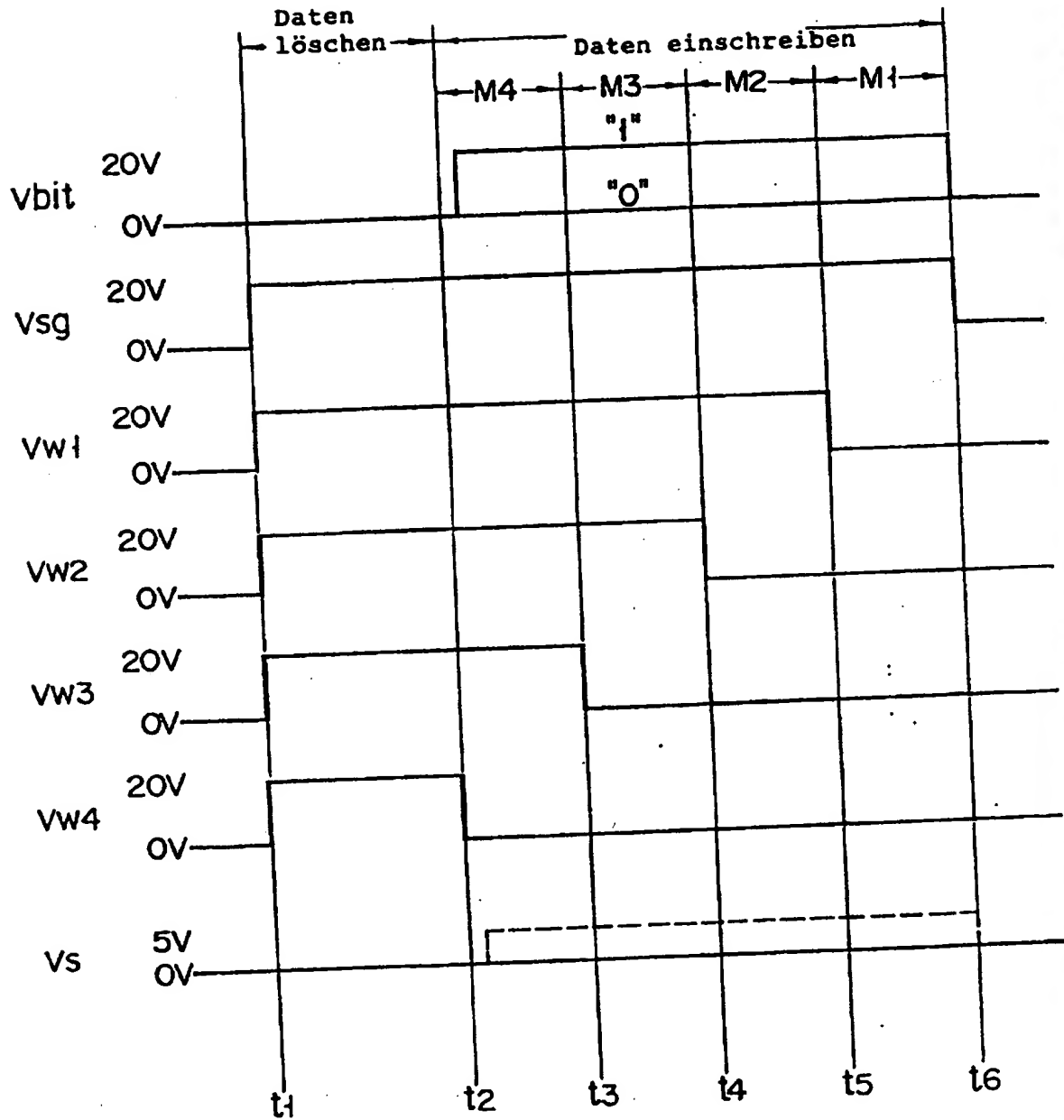


FIG. 6

16 04 88

3831538⁵⁵

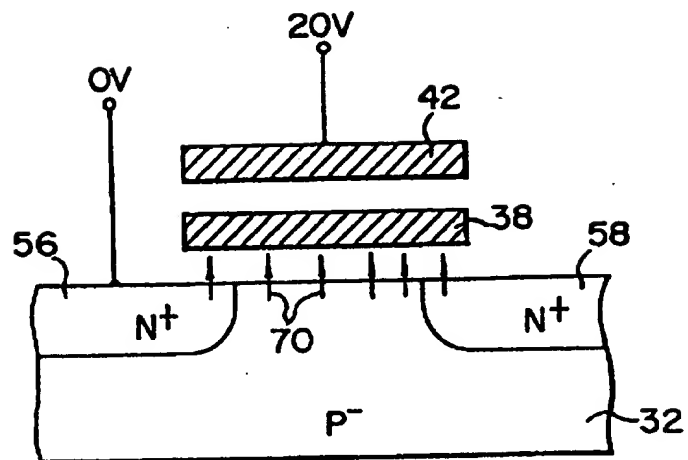


FIG. 7A

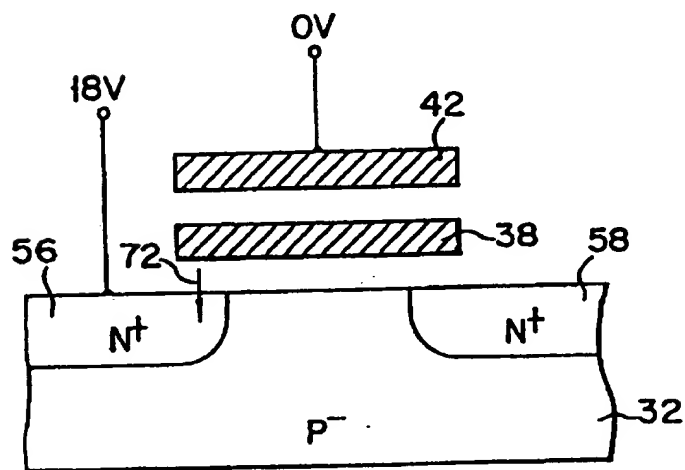


FIG. 7B

3831538

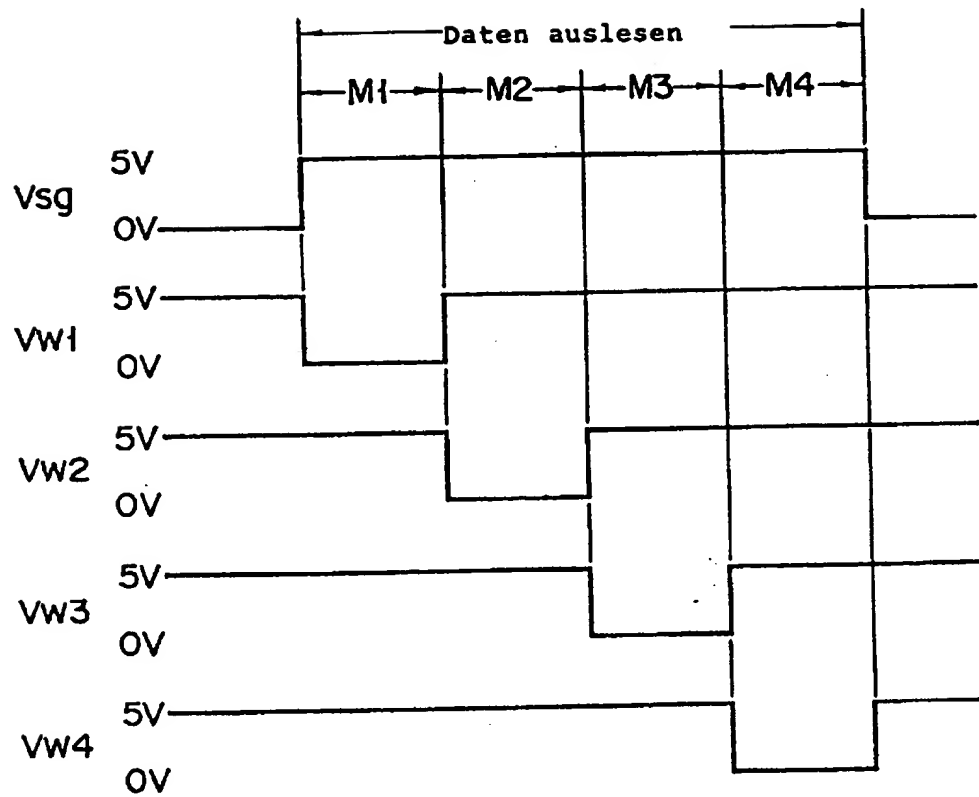


FIG. 8

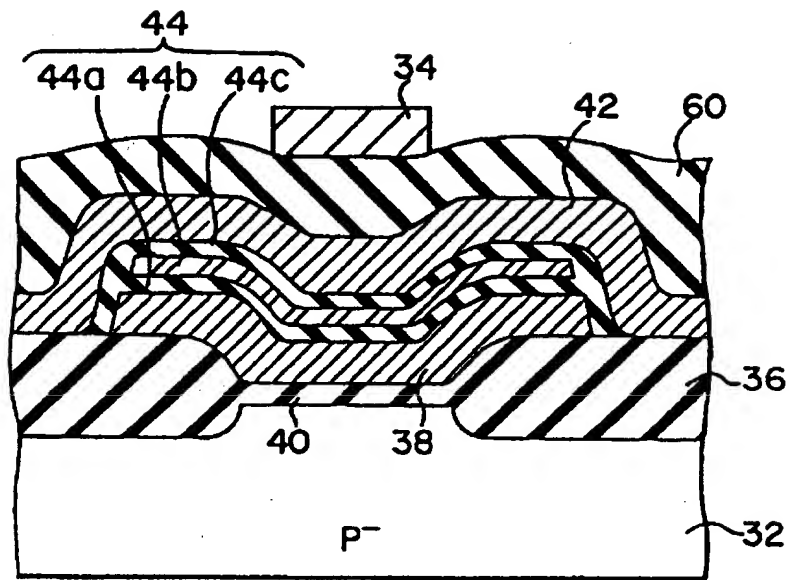


FIG. 9

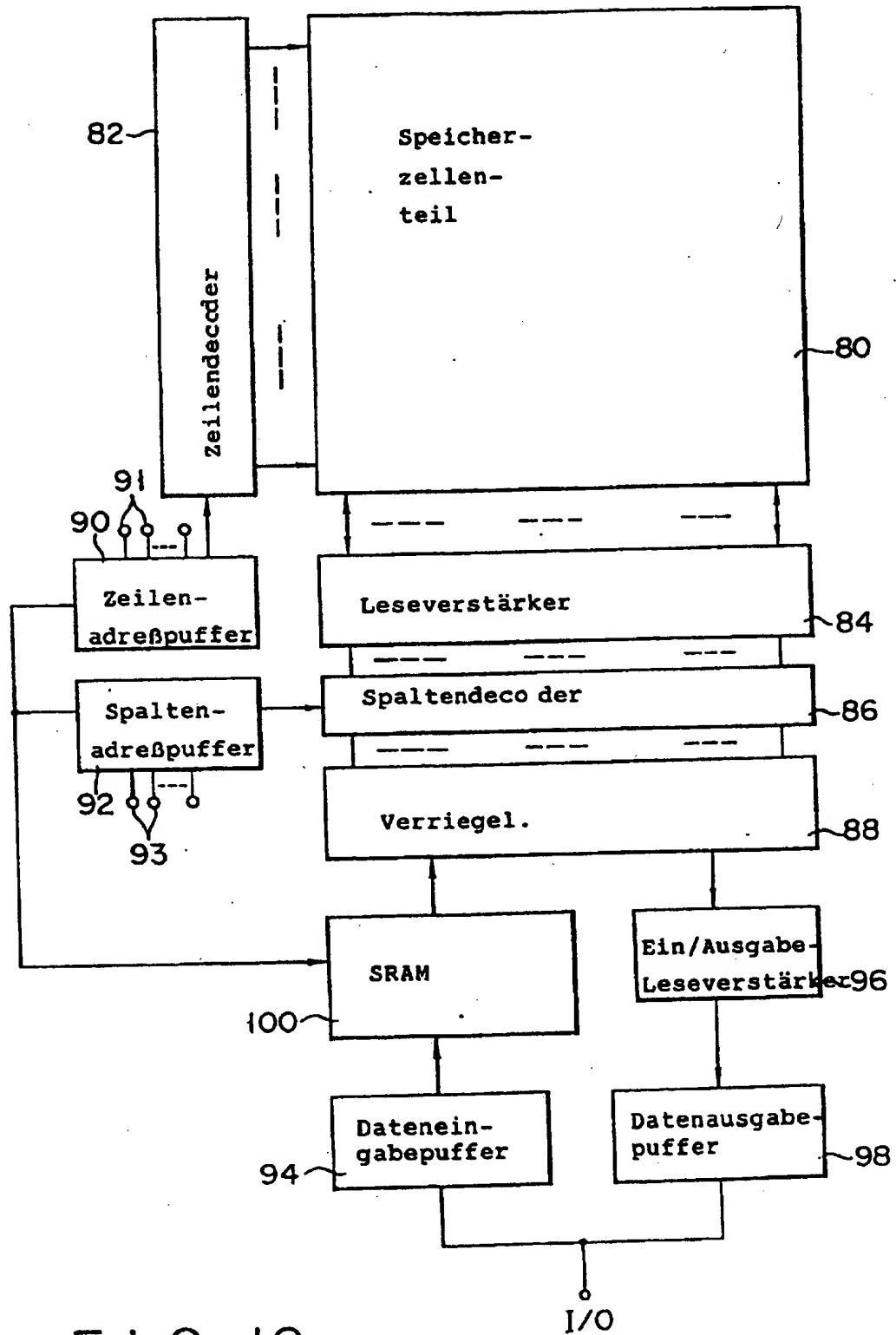


FIG. 10



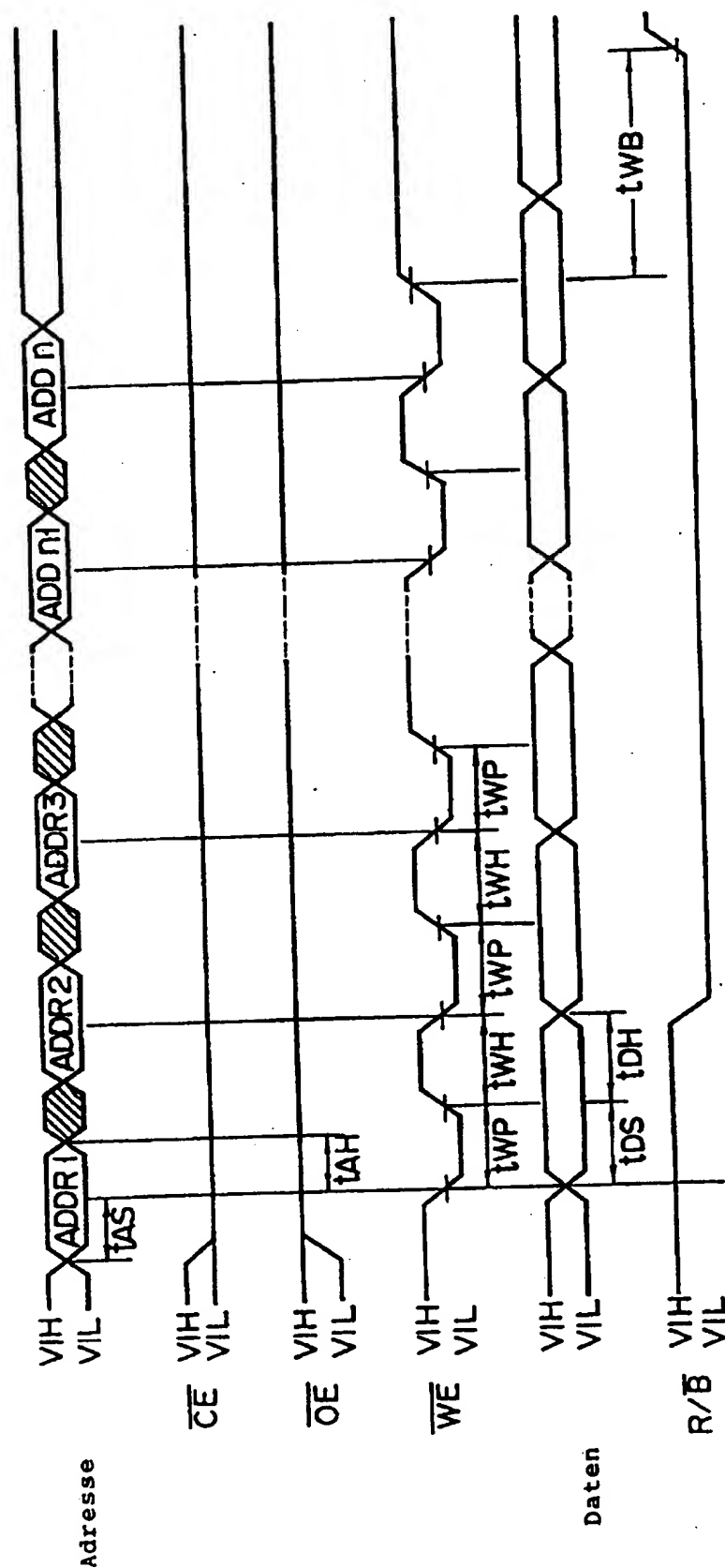


FIG. 12

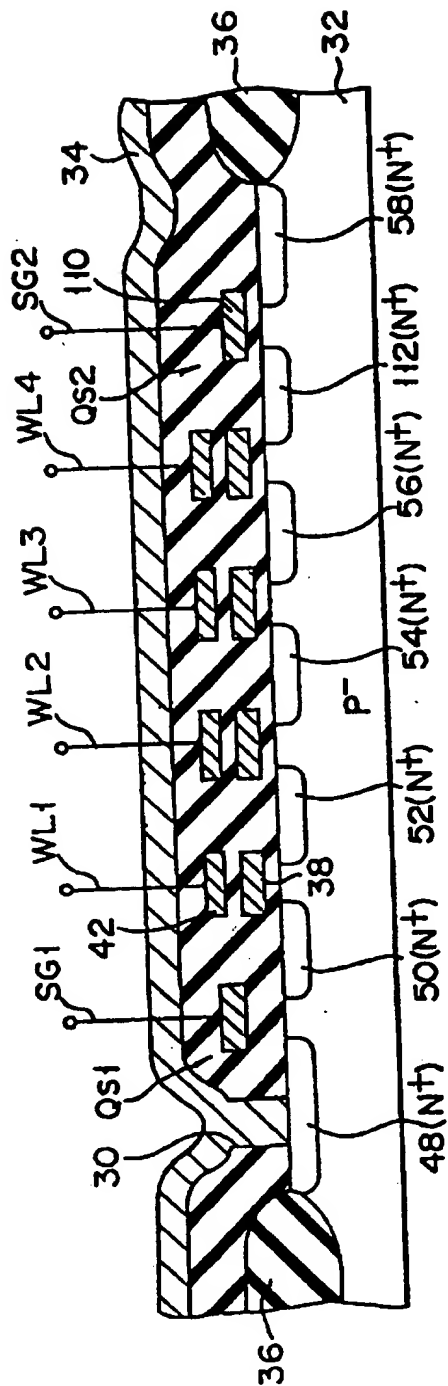


FIG. 13

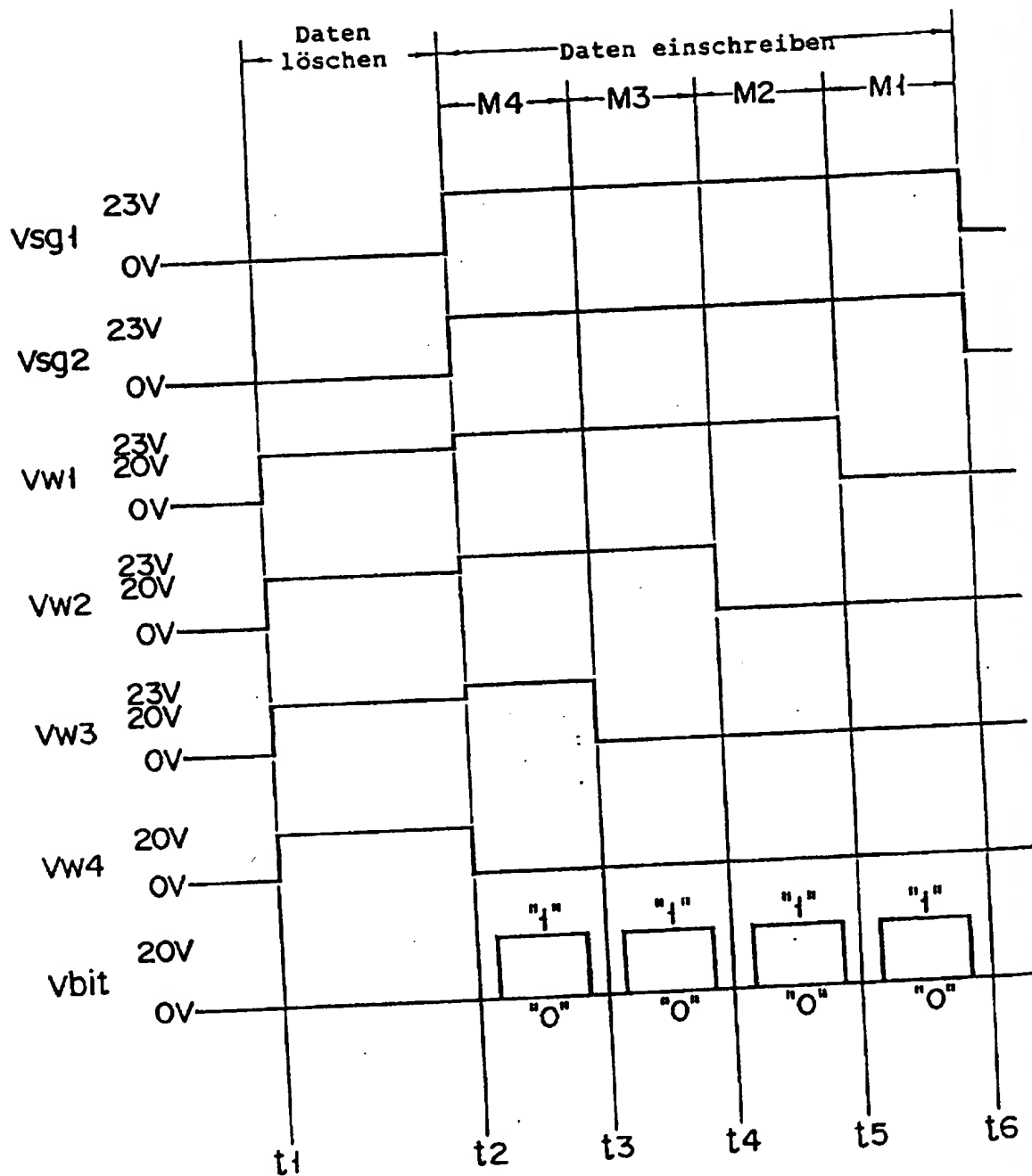


FIG. 14

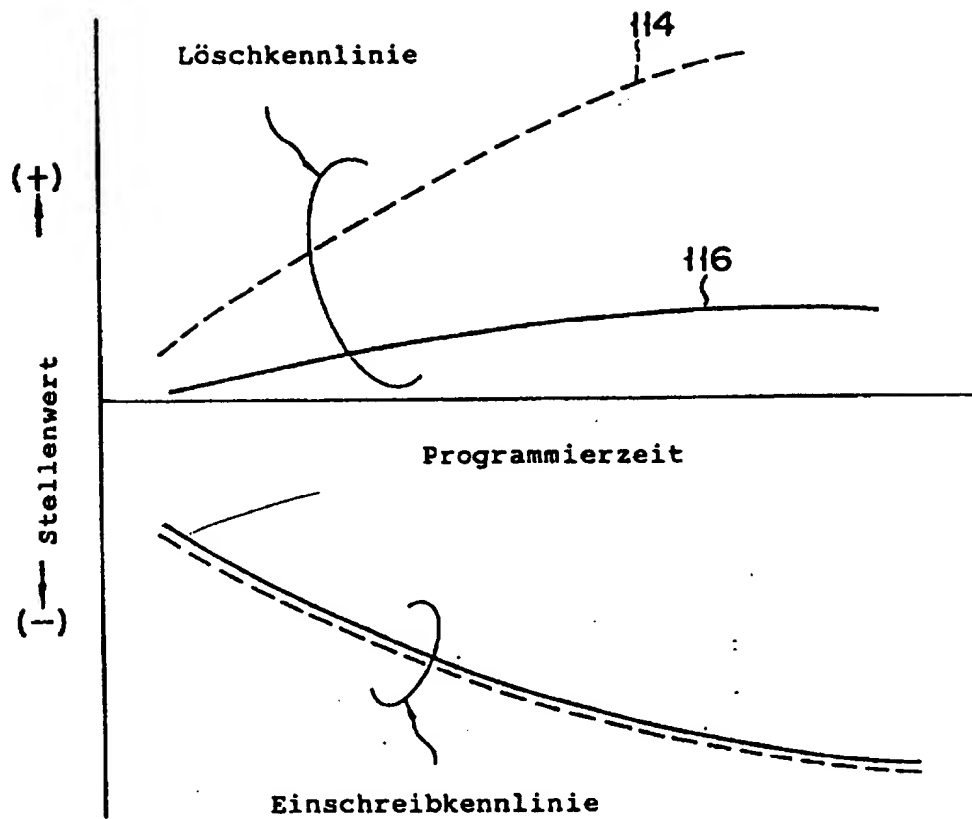


FIG. 15

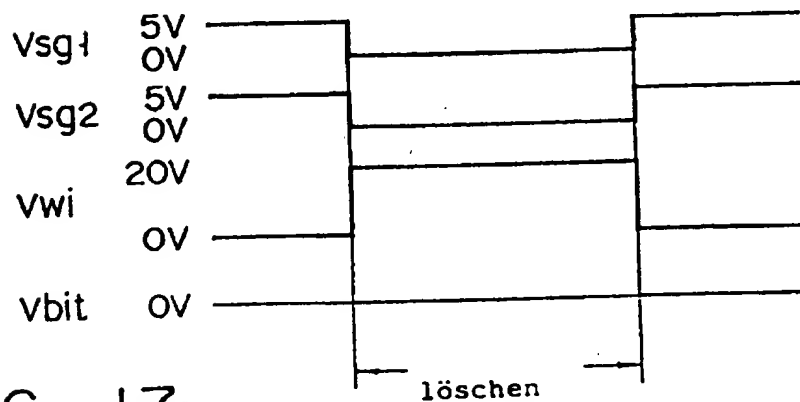
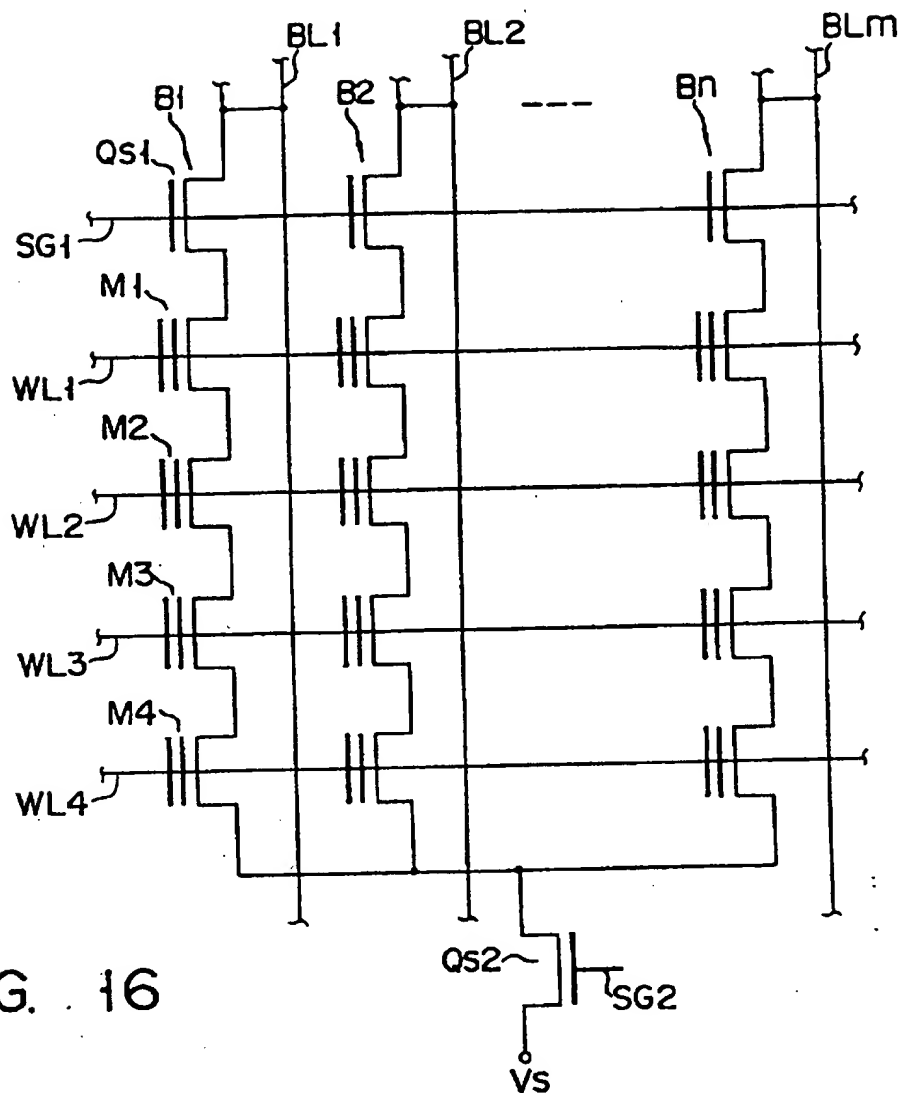


FIG. 17

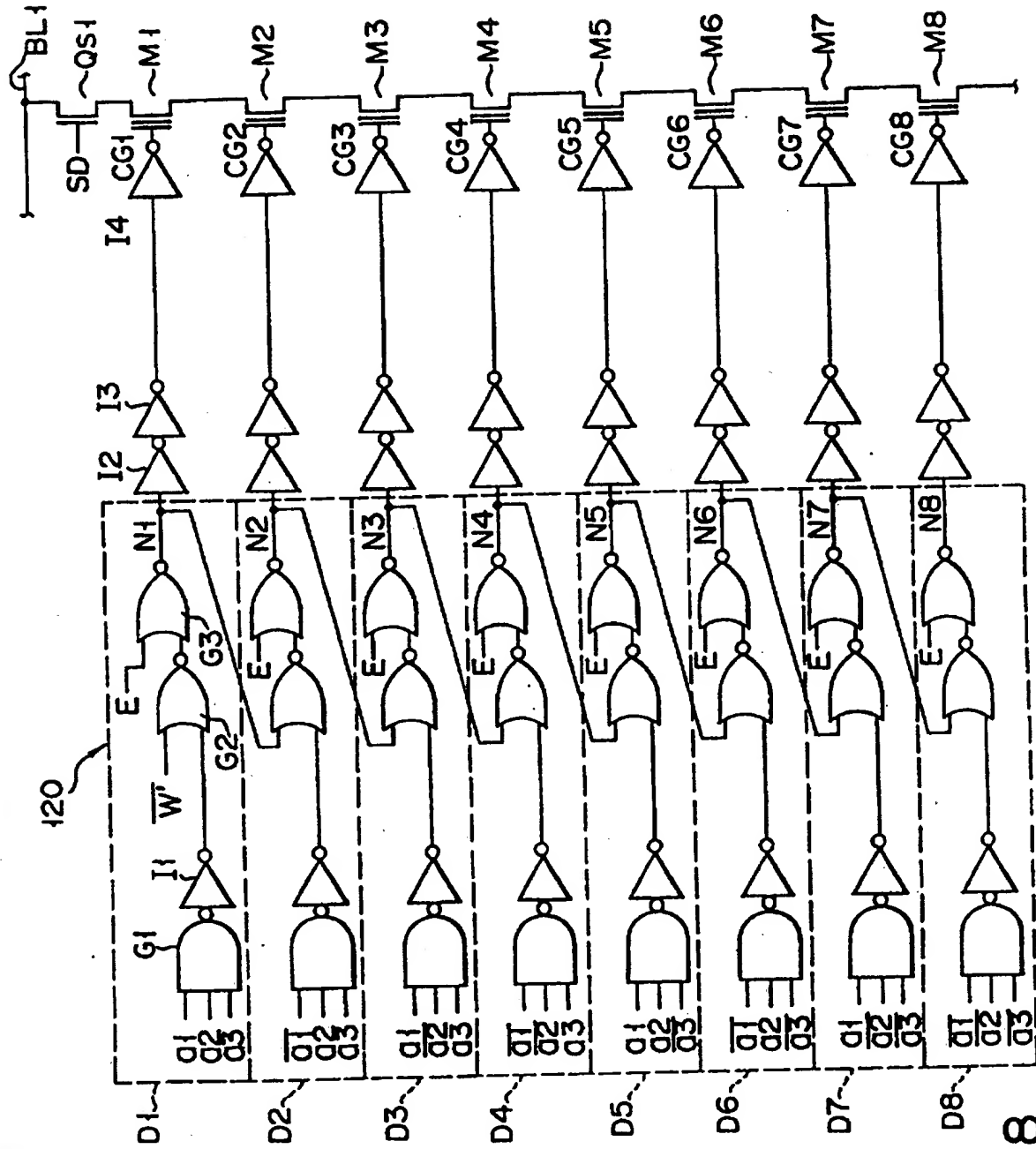


FIG. 18

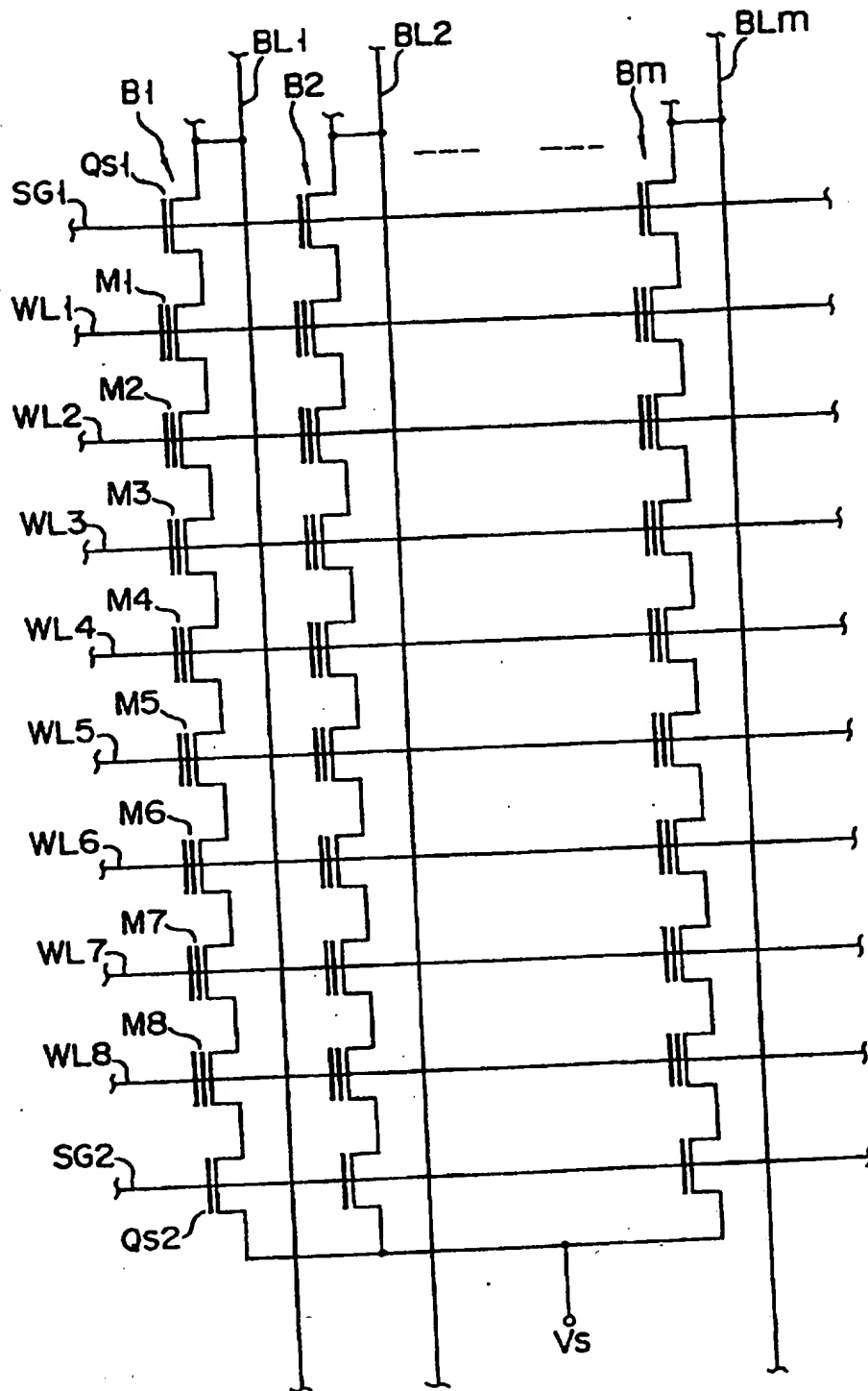
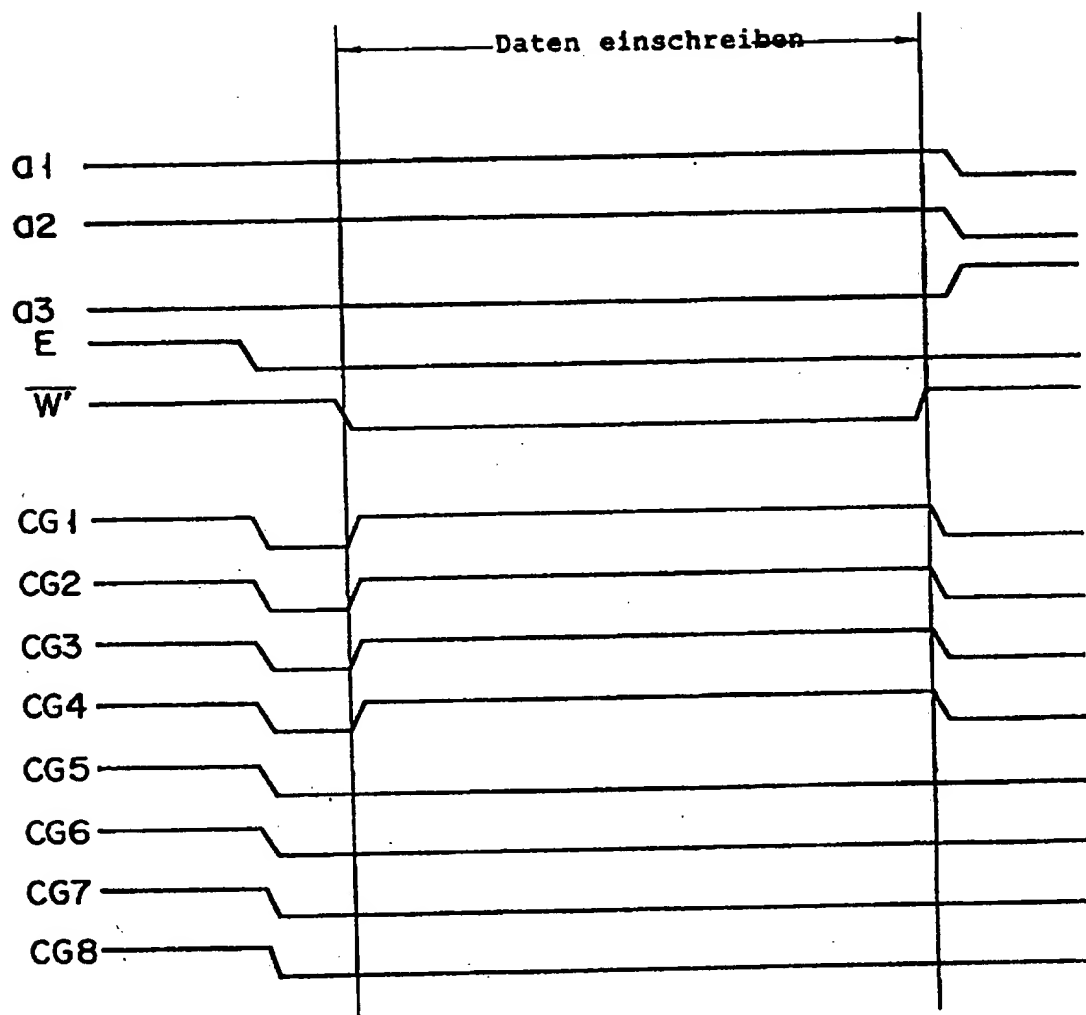


FIG. 19

100-88

67

3831538



F I G. 20

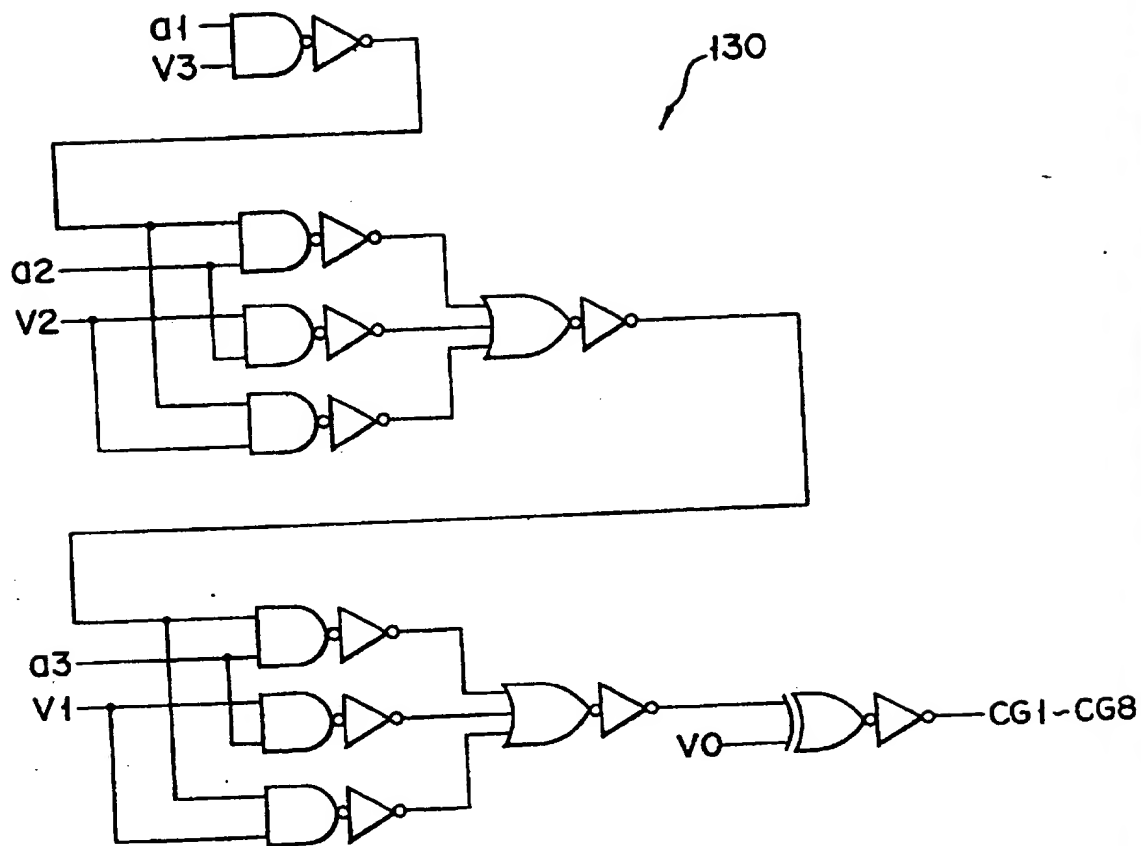


FIG. 21

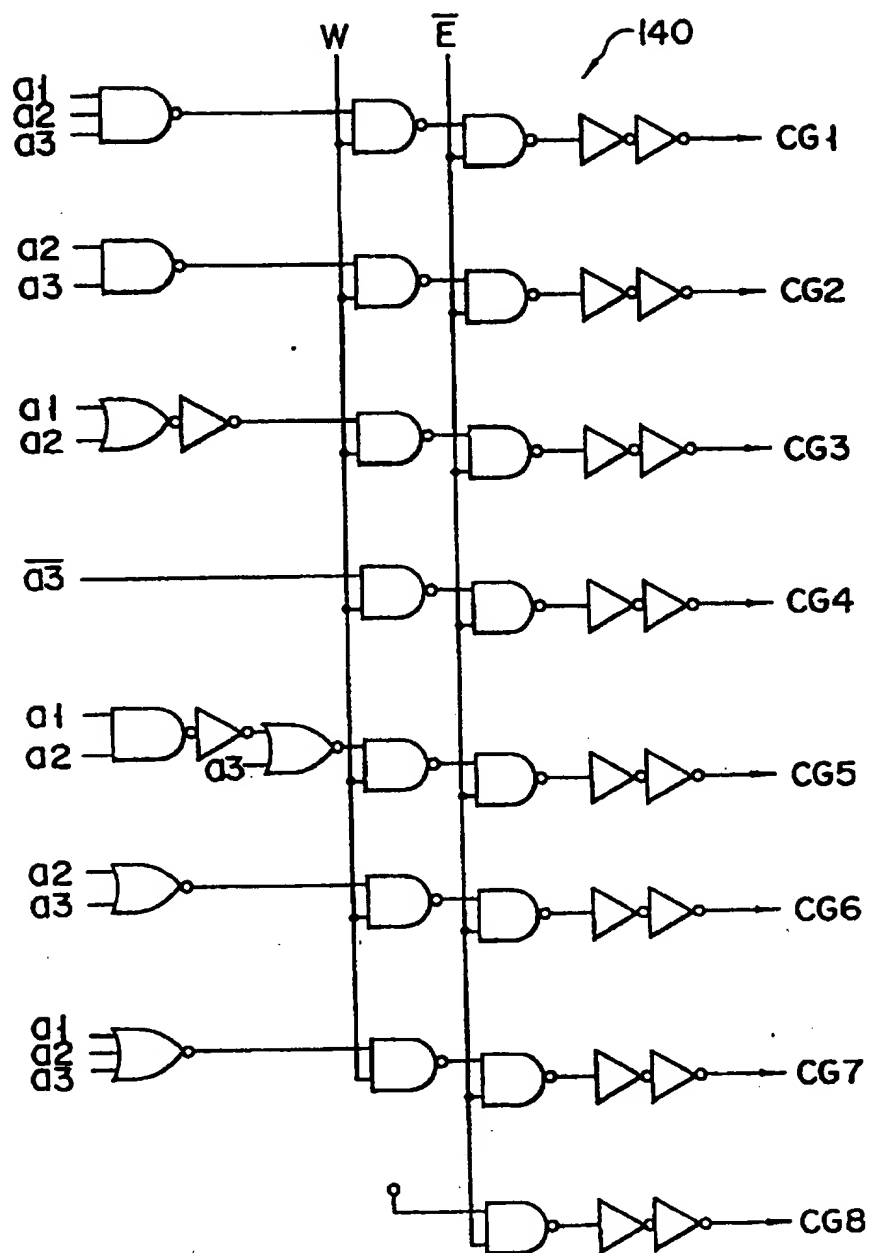


FIG. 22

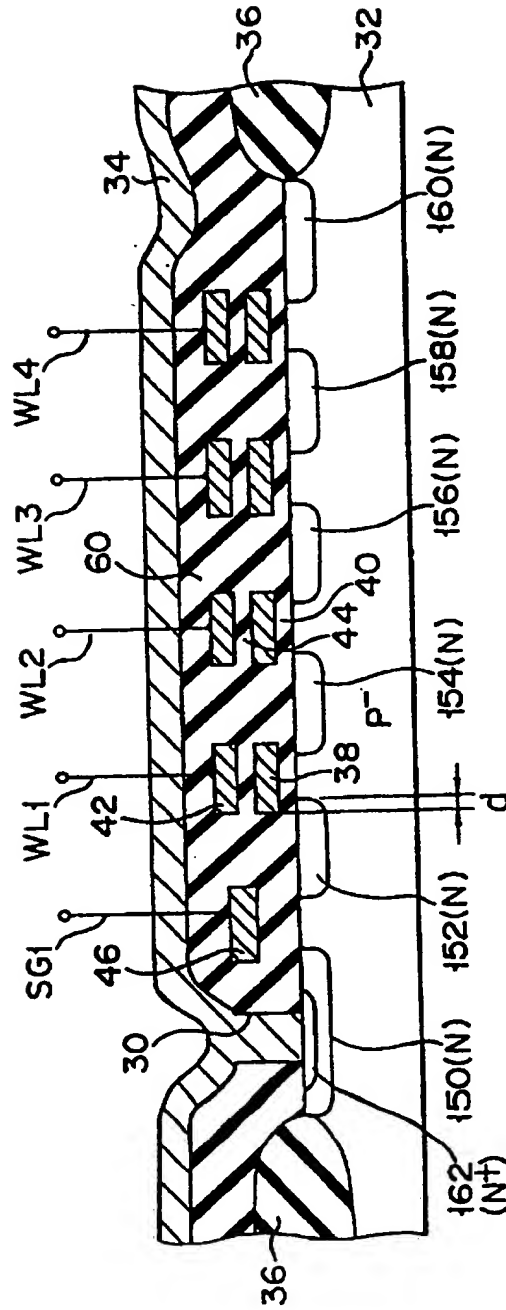


FIG. 23

3831538

71

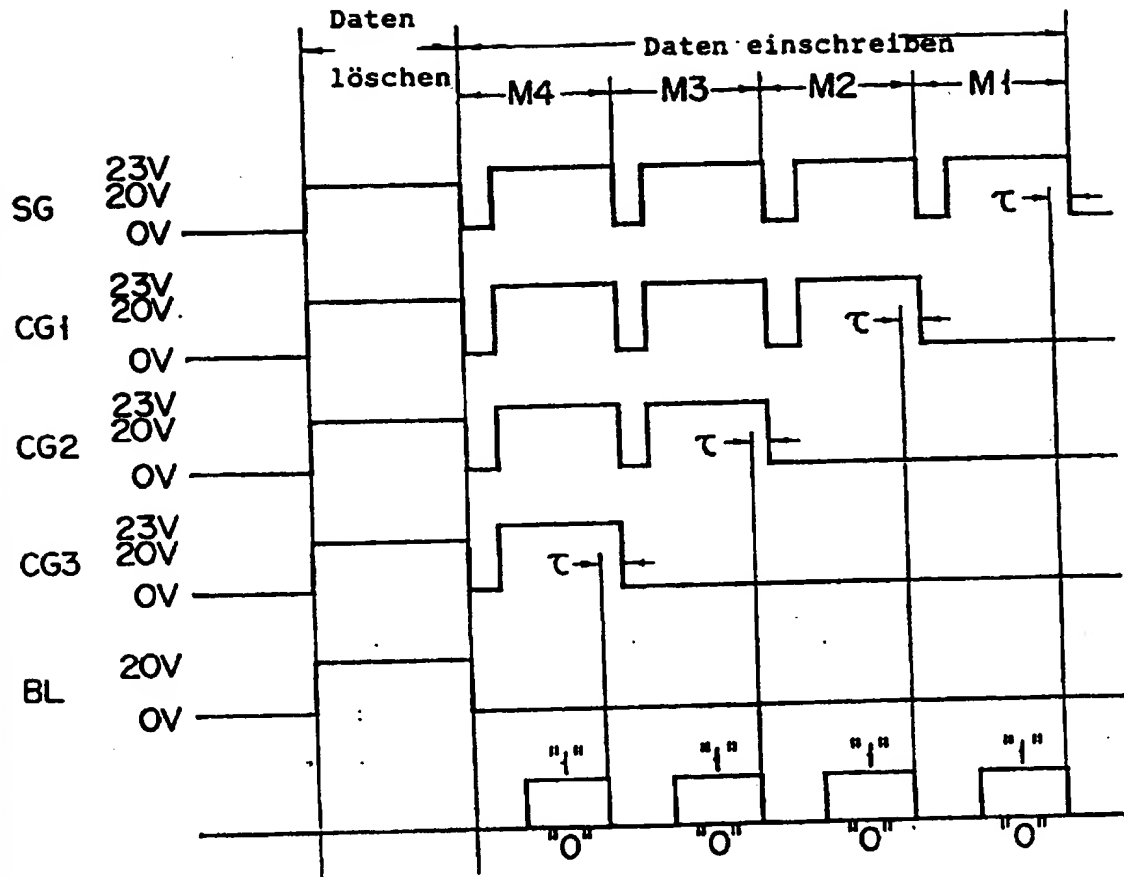


FIG. 24

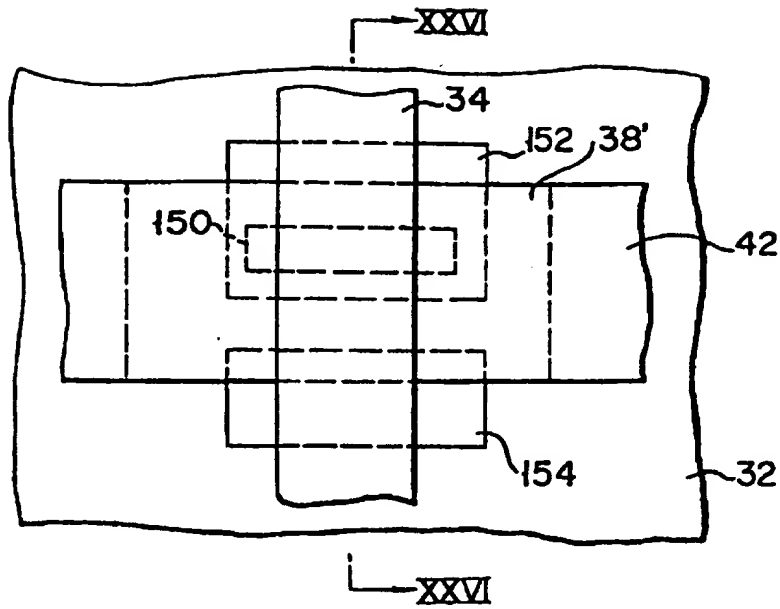


FIG. 25

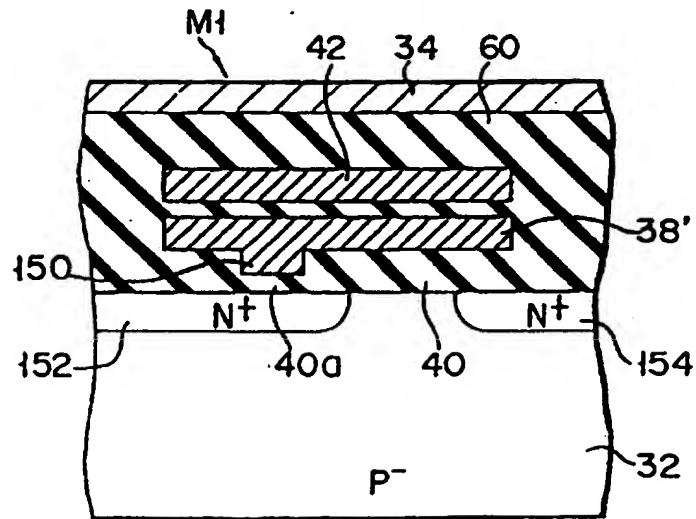
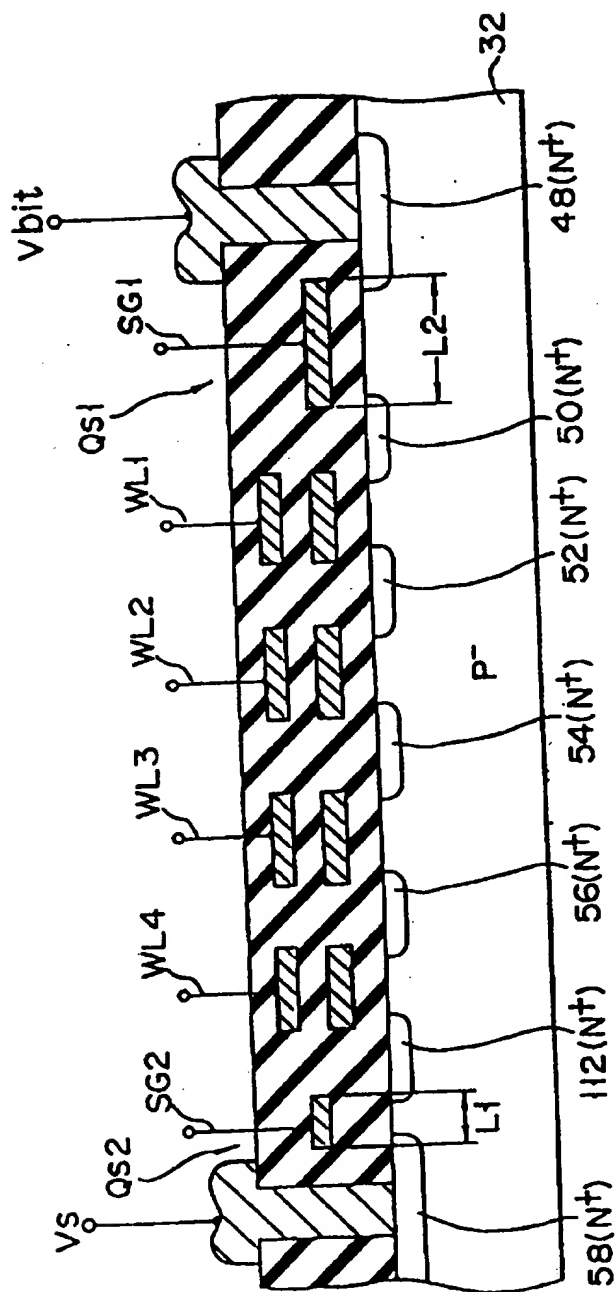


FIG. 26



F1G. 27

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.